

UNIVERSIDAD TÉCNICA DEL NORTE



FACULTAD DE INGENIERÍA EN CIENCIAS APLICADAS

CARRERA DE ELECTRICIDAD

**IMPLEMENTACIÓN DE UN CONVERTIDOR MULTICELULAR CON CAPACIDAD
DE RESTRUCTURACIÓN ANTE LA FALLA DE UNA CELDA**

Trabajo de grado presentado ante la Universidad Técnica del Norte previo a la
obtención del título de Ingeniero en Electricidad

AUTOR:

LUIS BOLÍVAR LANDETA GUERRERO

TUTOR:

PHD. GERARDO ISAÍAS COLLAGUAZO GALEANO.

Ibarra – Ecuador

2022



UNIVERSIDAD TÉCNICA DEL NORTE
BIBLIOTECA UNIVERSITARIA

AUTORIZACIÓN DE USO Y PUBLICACIÓN
A FAVOR DE LA UNIVERSIDAD TÉCNICA DEL NORTE

IDENTIFICACIÓN DE LA OBRA

En cumplimiento del Art. 144 de la Ley de Educación Superior, hago la entrega del presente trabajo a la Universidad Técnica del Norte para que sea publicado en el Repositorio Digital Institucional, para lo cual pongo a disposición la siguiente información:

DATOS DE CONTACTO			
CÉDULA DE IDENTIDAD:	100444920-1		
APELLIDOS Y NOMBRES:	Landeta Guerrero Luis Bolívar		
DIRECCIÓN:	Huiracocha y Nazacota Puento		
EMAIL:	lblandetag@utn.edu.ec		
TELÉFONO FIJO:		TELÉFONO MÓVIL:	0997394962

DATOS DE LA OBRA	
TÍTULO:	IMPLEMENTACIÓN DE UN CONVERTIDOR MULTICELULAR CON CAPACIDAD DE RESTRUCTURACIÓN ANTE LA FALLA DE UNA CELDA.
AUTOR (ES):	Luis Bolívar Landeta Guerrero
FECHA: DD/MM/AAAA	20/11/2022
SOLO PARA TRABAJOS DE GRADO	
PROGRAMA:	<input checked="" type="checkbox"/> PREGRADO <input type="checkbox"/> POSGRADO
TÍTULO POR EL QUE OPTA:	Ingeniería en Electricidad
ASESOR /DIRECTOR:	PHD. GERARDO ISAÍAS COLLAGUAZO GALEANO.

Constancia

El autor manifiesta que la obra objeto de la presente autorización es original y se desarrolló, sin violar derechos de autor a terceros, por lo tanto, la obra es original y que es el titular de los derechos patrimoniales, por lo que se asume responsabilidad sobre el contenido de la misma y saldrá en defensa de la Universidad en caso de reclamación por parte de terceros.

Ibarra, a los 7 días del mes de diciembre de 2022

EL AUTOR:

A handwritten signature in blue ink, appearing to read 'Luis Bolívar Landeta Guerrero', written over a horizontal line.

Landeta Guerrero Luis Bolivar.

Cédula: 1004449201.



UNIVERSIDAD TÉCNICA DEL NORTE

FACULTAD DE INGENIERÍA EN CIENCIAS APLICADAS

CERTIFICACIÓN DEL DIRECTOR DE TRABAJO DE GRADO

Yo, Gerardo Collaguazo en calidad del tutor del señor Landeta Guerrero Luis Bolivar certifico que ha culminado con las normas establecidas en la elaboración del trabajo de investigación titulado: "IMPLEMENTACIÓN DE UN CONVERTIDOR MULTICELULAR CON CAPACIDAD DE RESTRUCTURACIÓN ANTE LA FALLA DE UNA CELDA".

Para obtención del título de Ingeniero en Electricidad, aprobado la defensa, impresión y empastado.

PhD. Gerardo Isaías Collaguazo Galeano.

DIRECTOR DE TRABAJO DE GRADO

Dedicatoria

Este trabajo de grado va dedicado a mis padres, por darme la oportunidad de estudiar, fomentarme valores y virtudes.

LUIS LANDETA

Contenido

IDENTIFICACIÓN DE LA OBRA.....	II
Constancia	III
CERTIFICACIÓN DEL DIRECTOR DE TRABAJO DE GRADO	IV
Dedicatoria	V
Resumen.....	XII
ABSTRACT	XIII
Introducción.....	XIV
Contextualización.....	XIV
Planteamiento del problema.....	XVI
Justificación	XVII
Alcance.....	XVIII
Objetivo General	XIX
Capítulo 1.....	1
1. Introducción.....	1
1.1 Convertidores electrónicos de potencia DC-DC	1
1.1.1 Topologías de convertidores electrónicos de potencia.....	1
1.1.1.2 Convertidor Buck	1
1.1.1.3 Convertidor Boost.....	3
1.2 Convertidores multicelulares y sus aplicaciones	3
1.2.1 Convertidor multicelular.....	4
1.2.2 Topología convertidores multicelulares	5
1.3 Convertidor multinivel.....	6
1.3.1 Convertidor multinivel de medio puente H.....	6
1.3.2 Convertidor de medio puente H con conexión en cascada	7
1.3.3 Convertidor de capacitores flotantes.....	8
1.4 Estrategias de modulación para convertidores	9
Modulación por ancho de pulsos (PWM).....	9
1.5 Estrategias de modulación para convertidores multicelulares.....	10
1.5.1 Modulación level shift PWM (LS-PWM).....	11
1.5.2 Modulación phase shift PWM (PS-PWM).....	12
1.6 Análisis de Bode para frecuencia	13
1.7 Balance de celdas.....	13

<i>Balance de celda convertidor Buck multifase</i>	13
1.8 Sistema de reconfiguración	14
<i>Método de control descentralizado</i>	14
Capítulo 2.....	15
2. Introducción	15
2.1 Metodología usada para el diseño del convertidor multicelular	15
2.2 Parámetros de diseño del convertidor multicelular	16
2.3 Diseño del circuito a implementar	16
2.3.1 <i>Diseño propuesto</i>	16
2.3.2 <i>Descripción del circuito</i>	17
2.4 Modulación propuesta para el convertidor multicelular	19
<i>Frecuencia de conmutación</i>	19
2.5 dimensionamiento de los componentes pasivos del convertidor multicelular ...	19
2.5.1 <i>Selección del interruptor de potencia MOSFET</i>	19
2.5.2 <i>Cálculo de la carga</i>	20
2.5.3 <i>Dimensionamiento del inductor</i>	20
2.5.4 <i>Dimensionamiento del capacitor</i>	22
2.6 Selección de los valores comerciales.....	23
<i>Selección del valor comercial del capacitor</i>	23
2.7 Simulación del convertidor mediante el uso de Matlab – Simulink	24
2.8 Metodología usada para la implementación del sistema intercalado descentralizado iterativo digital	25
2.9 <i>Sistema de control para las señales portadoras</i>	26
2.9.1 <i>Ecuaciones características</i>	26
2.9.2 <i>Simulación del control para las señales portadoras</i>	28
2.10 <i>Sistema bypass</i>	30
2.11 Simulación del sistema de reconfiguración en el convertidor multicelular ...	30
2.11.1 <i>Simulación de un primer bypass para las señales portadoras</i>	31
2.11.2 <i>Simulación</i>	33
Capítulo 3.....	35
3.Introduccion	35
3.1 Implementación del sistema intercalado iterativo descentralizado digital	35
3.1.2 Modulación PS-PWM	37
Conexión de la modulación PS-PWM.....	38
3.1.3 Reconfiguración	39
3.1.3.1 Grupo de comunicación.....	40

3.1.3.2 Grupo del control integrador	41
3.2 Implementación del convertidor multicelular	43
Etapa PCB	43
3.3 Etapa del del filtro inductivo y capacitivo	46
3.4 Resultados experimentales.....	47
Conclusiones.....	51
Recomendaciones.....	52
Bibliografía.....	53
ANEXOS.....	56
A. <i>Códigos de los bloques de modulación</i>	56
B. <i>Códigos de bloques del grupo de comunicación</i>	61
C. <i>Código de bloques del grupo control integral</i>	64
D. <i>Diagrama de conexión pictórico</i>	60

Índice de Figuras

Figura 1. (a) Circuito convertidor Buck. (b) Circuito equivalente.....	2
Figura 2. (a) Circuito del convertidor Boost. (b) Circuito equivalente.....	3
Figura 3. (a) Convertidor multicelular Buck de tres celdas unidireccional.....	4
Figura 4. Circuito del convertidor Buck multifase.	5
Figura 5. (a) Esquema del circuito del convertidor de medio puente H.....	7
Figura 6. (a) Convertidor multicelular de medio puente H de n celdas conectado en cascada.	8
Figura 7. (a) Esquema del circuito del convertidor de capacitores flotantes.	9
Figura 8 .Modulación PWM.....	10
Figura 9. (a) Modulación LS-PWM por PD, (b) Modulación LS-PWM por POD, (c) Modulación LS	12
Figura 10. Diagrama de implementación de un convertidor multicelular de cuatro celdas conectado en.....	15
Figura 11. Diseño del convertidor multicelular propuesto.....	16
Figura 12. (a) Circuito equivalente cuando S_1 está cerrado y $\neg S_1$. (b) Circuito equivalente cuando S_1 está abierto y $\neg S_1$ está cerrado.....	17
Figura 13. Señal de salida de la corriente del capacitor.	22
Figura 14. Implementación del circuito del convertidor multicelular para la su simulación. ...	24
Figura 15.(a) Rizado de voltaje aportado por cada celda, (b) Voltaje de salida del convertidor multicelular.....	25
Figura 16. Diagrama de implementación del sistema intercalado descentralizado digital.	25
Figura 17. Representación de un grafo para un convertidor multicelular de cuatro celdas. ..	26
Figura 18. Sistema de control para las señales portadoras.	29
Figura 19. Simulación del sistema de control para las señales portadoras.	29
Figura 20. Diagrama de bloques del bypass.....	30
Figura 21. Diagrama de bloques para el primer Bypass.	31
Figura 22. Implementación del segundo bypass con el sistema de control para las señales portadoras.....	32
Figura 23. a) Señales portadoras después del primer bypass. b) Señales portadoras después del sistema de control.....	33
Figura 24. Salidas de las señales portadoras reconfiguradas.	34
Figura 25. Diagrama de bloques para la implementación del sistema de reconfiguración. ...	35

Figura 26. FPGA DE10-Lite	36
Figura 27. (a) Bloque PWM-Sincro. (b) PWM-Sincro/Fase. (c) Retardo.	37
Figura 28. Flancos del reloj interno del FPGA.	38
Figura 29. Conexión para la modulación SP-PWM con banda muerta para el convertidor multicelular.....	38
Figura 30. Conexión del grupo comunicación.....	41
Figura 31. Esquema de conexión para el grupo control integral.	42
Figura 32. Circuito para el driver UCC5320E.....	43
Figura 33. Circuito inversor de voltaje.....	44
Figura 34. Circuito para generación de pulsos para el MOSFET.	44
Figura 35. convertidor Boost.....	45
Figura 36. Convertidor multicelular de medio puente H conectado en cascada.	46
Figura 37. a) Inductor de 1.25uH. b) Inductor 225uH.	46
Figura 38. Prototipo implementado.	47
Figura 39. Funcionamiento sin fallo a 10KHz.	48
Figura 40. Funcionamiento con fallo en la celda dos a 10KHz.	48
Figura 41. Funcionamiento sin fallos a 50KHz.	49
Figura 42. funcionamiento con fallo en la celda dos a 50KHz.	49
Figura 43. Voltaje de salida del convertidor multicelular.....	50

Índice de tablas

Tabla 1. Especificaciones de datos del MOSFET 30NLOF7.....	20
Tabla 2.	23
Tabla 3.	31
Tabla 4. Comparativa de microcontroladores.	36
Tabla 5. Modulación PS-PWM con banda muerta	39
Tabla 6. Grupo de comunicación	40
Tabla 7. Bloques del control integral	41
Tabla 8. Tarjeta impresa.....	45
Tabla 9. Componentes para una celda del convertidor multicelular.....	45

Resumen

Los convertidores multicelulares en los últimos años han ganado protagonismo como una alternativa a los convertidores tradicionales, debido a la necesidad de satisfacer altos niveles de voltaje en la industria y complementación de energías renovables para la conversión de potencia en corriente continua de alta y baja tensión.

En el presente trabajo de grado, se desarrolla un convertidor multicelular Boost de cuatro celdas de medio puente H, conectado en cascada con capacidad de reestructuración ante la falla de una celda, mismo que debida configuración de conexión permite tener un voltaje de fase sintetizado por la suma de voltajes generados en cada celda.

El trabajo concluye, con la implementación del convertidor multicelular con capacidad de reestructuración ante la falla de una celda, donde se muestra la conversión de tensión DC-DC utilizando el método de modulación PS-PWM, además utilizando el sistema intercalado iterativo descentralizado digital se muestra la reconfiguración de las celdas cuando ocurre un fallo en una celda.

Para validar el funcionamiento y desempeño del convertidor multicelular cuando este está en pleno funcionamiento y cuando ocurre la falla en una celda, se utilizó el equipo de medición Hantek 6074BC.

Palabras clave: Convertidor multicelular, medio puente H, modulación SP-PWM.

ABSTRACT

Multicellular converters in recent years have gained prominence as an alternative to traditional converters, due to the need to meet high voltage levels in the industry and complementation of renewable energy for power conversion in high and low voltage direct current.

In this degree work, a multicellular Boost converter of four half-bridge H cells is developed, connected in cascade with capacity of restructuring in case of failure of a cell, which due to its connection configuration allows to have a phase voltage synthesized by the sum of voltages generated in each cell.

The work concludes with the implementation of the multicell converter with restructuring capacity in the event of a cell failure, where the DC-DC voltage conversion using the PS-PWM modulation method is shown, also using the digital decentralized iterative interleaving system, the reconfiguration of the cells when a cell failure occurs is shown.

To validate the operation and performance of the multicell converter when it is in full operation and when a cell failure occurs, the Hantek 6074BC measuring equipment was used.

Keywords: Multicell converter, H half-bridge, SP-PWM modulation.

Introducción

Contextualización

Los convertidores de potencia DC-DC en los últimos años han ganado importancia en la investigación de la electrónica de potencia; para satisfacer diversos niveles de voltaje que se usan en lámparas led (diodo emisor de luz), administrador de energía USB (Universal Serial Bus) y pequeños dispositivos HID, para ello se tiene diferentes topologías de convertidores los cuales pueden satisfacer diferentes niveles de voltaje; niveles de bajo voltaje con los convertidores Buck, niveles de voltaje alto con los convertidores Boost y satisfacer niveles de voltaje bajo y alto con los convertidores Cuck o Buck-Boost.(Paliándose & Vishnu, 2018),(Bifaretti et al., 2010).

Con los convertidores convencionales se puede manejar niveles de potencia moderados, cuando es necesario manejar niveles de potencia altos se opta por usar convertidores multinivel o multicelulares. El convertidor multicelular está compuesto de circuitos iguales llamados celdas, conectadas en serie, paralelo o cascada; una celda es un circuito básico que puede estar compuesto de elementos pasivos de almacenamiento, dispositivos de conmutación y en algunos casos fuentes de alimentación de voltaje o corriente.

Al poder emplearse niveles de potencia altos, los convertidores multinivel y multicelulares han ganado su espacio para aplicaciones en la industria y la complementación de energías renovables para sistemas de conversión de potencia en corriente continua de alta y baja tensión con convertidores multinivel y para sistemas de potencia de corriente continua y también en corriente alterna de alta y baja tensión con los convertidores multicelulares; el uso de estos depende de las necesidades que se requieran. Sin embargo, se tiene una problemática al hacer uso de convertidores multicelulares, estos al tener una gran cantidad de componentes semiconductores, la fiabilidad del sistema se reduce, ya que se puede tener fallas en las celdas de estos convertidores, fallas de conmutación, así también de cortocircuito. (He et al., 2021), (Gazzam et al., 2015).

Las fallas por conmutación y cortocircuito están asociadas a una mala elaboración de las placas, lo que puede ocasionar que una de las celdas del convertidor deje de funcionar, además, puede darse una falla por cortocircuito debido a mala impresión de las líneas de conducción, o agentes externos, (esto por conservación cruzada).

Cuando se tiene un daño en una celda en un convertidor multicelular independientemente de su topología; ocasiona que la configuración del sistema se altere, lo que conlleva a un

desbalance en las variables de las celdas y alteración del rizado de las variables de salida. Para realizar la comunicación de las celdas se usa un sistema de Bypass; el cual se encarga de comunicar circuitos vecinos, el cual funciona cuando una celda esta activa y envía su información a sus vecinos, caso contrario envía su información la celda anterior a la siguiente. (Cousineau & Xiao, 2013), (Hillesheim et al., 2019).

Se pueden usar métodos de control de intercalado descentralizado iterativo digital para la reconfiguración de un sistema de convertidores multicelular. El intercalado, se realiza para la comunicación de las celdas más cercanas para intercalarlas mediante señales PWM de cada circuito con la información de su propio ángulo portador. Cuando se utiliza esta estrategia para controlar un convertidor multicelular, las señales se distribuyen por igual; para ello las señales del convertidor tienen retraso en la fase, por lo tanto, intercalados que proporcionan una frecuencia aparente en los componentes pasivos de entrada/salida a igual frecuencia de conmutación multiplicada por el número de celdas, reduciendo de esta manera las restricciones del filtrado y mejorando la respuesta transitoria.(Hillesheim et al., 2021),(Phan et al., 2020).

Existen varias técnicas de intercalado descentralizado iterativo, donde se propone dar un enfoque en anillo o cadena margarita para un número alto de celdas que simplifican los casos de reconfiguración por fase; este método uno de los más simplificados para la reconfiguración de celdas ante la falla de una, en un circuito multicelular. (Hillesheim et al., 2021), (Phan et al., 2019).

Planteamiento del problema

Los convertidores multicelulares (independientemente de su topología) tienen problemas por el uso de elementos semiconductores donde la fiabilidad del sistema se reduce y se producen fallas en las celdas ya sea por fallas de cortocircuito o fallas por conmutación; esto origina un desbalance en las celdas del convertidor multicelular además de tener un desbalance en el rizado de las variables de salida lo que provoca que el convertidor multicelular no opere con los parámetros electrónicos establecidos del rizado de las variables de salida de voltaje y corriente y los ángulos de desfase de cada celda del convertidor multicelular.

Pregunta de investigación:

¿Qué métodos y técnicas se pueden aplicar para la reconfiguración de convertidores multicelulares ante la falla de una celda, para que logren funcionar dentro de los parámetros electrónicos establecidos de las variables de salida de voltaje y corriente y los ángulos de desfase de cada celda del convertidor multicelular?

Justificación

En la actualidad el uso de convertidores de alta potencia como son los multicelulares es más común, pues las características de conmutación en DC-DC o DC-AC presentan ventajas en la fiabilidad del sistema, como en el mantenimiento de este además que se puede incrementar el número de salidas sin tener la necesidad de añadir componentes adicionales al convertidor multicelular independientemente de su topología, por esta razón se aplica en la ejecución de nuevas tecnologías en la industria, como son: las lámparas led, la implementación de energía para vehículos eléctricos, entre otros.

Los convertidores multicelulares pueden presentar problemas de desfase cuando una celda falla, para ello se requieren sistemas de reconfiguración los cuales corrigen el error de la celda que dejó de funcionar, estos son sistemas de control habituales, los sistemas intercalados descentralizados iterativos permiten reducir elementos de filtrado y mejoran la respuesta transitoria, además de reducir los casos de reconfiguración por fase.

El presente proyecto, pretende resolver el error de convertidores multicelulares de 4 celdas de medio puente H en cascada cuando una de sus celdas falla, para ello se utilizará el método de intercalado descentralizado iterativa digital, el cual da una solución escalable que permite reducir en número de reconfiguraciones por fase de las celdas.

Alcance

El proyecto tiene como objeto, la implementación del sistema de reconfiguración iterativo descentralizado digital para un convertidor multicelular, para lo cual se realizará el estudio de convertidores multicelulares antes mencionados con la finalidad de describir su funcionamiento y dimensionar los elementos del convertidor, además del estudio del sistema antes mencionado para la implementación de este; la validación del proyecto se ejecutará mediante simulaciones usando un FPGA, donde se corroborará la eficiencia del sistema para la reconfiguración de fases de las celdas del convertidor multicelular cuando una celda falla. Las características del convertidor multicelular que se usará para el desarrollo del proyecto serán: un convertidor multicelular de 4 celdas con medio puente H en cascada, el cual tendrá un voltaje de entrada de 30V, una corriente de salida de 8A, 48V de salida por celda.

Cabe recalcar que la ejecución y las simulaciones, se realizarán en las instalaciones de la carrera de Electricidad de la Universidad Técnica del Norte.

Objetivo General

Implementar un convertidor multicelular de medio puente H en cascada de cuatro celdas DC-DC con la capacidad de reestructuración ante la falla de una celda, mediante el análisis del sistema intercalado descentralizado iterativo digital haciendo uso de software especializado.

Objetivos específicos

1. Analizar las topologías aplicadas a convertidores de potencia multicelulares.
2. Diseñar el sistema de reconfiguración intercalado iterativo descentralizado digital.
3. Implementar el convertidor multicelular de medio puente H en cascada de cuatro celdas DC-DC

Capítulo 1

Convertidores multicelulares, métodos de modulación y sistemas de reconfiguración

1. Introducción

El marco teórico tiene como fin presentar los conceptos básicos referentes a los convertidores electrónicos de potencia. Se define su clasificación, funcionamiento y estructura. Además, explica los tipos de modulaciones, balance de celdas y sistemas de reconfiguración.

1.1 Convertidores electrónicos de potencia DC-DC

Los convertidores electrónicos de potencia son circuitos compuestos por interruptores de potencia (MOSFET, IGB, GTO, SCR, etc.), elementos lineales (capacitores, inductores y resistencias), además de interruptores no controlados (diodos). Los convertidores tienen la capacidad de cambiar un voltaje o tensión de entrada no regulado en una salida de voltaje controlado en un nivel deseado; existe gran variedad de convertidores, de los cuales destacan cinco y son:

- a) Convertidor Buck
- b) Convertidor Boost
- c) Convertidor Buck/Boost
- d) Convertidor Cúk
- e) Convertidor de puente completo

Solo dos son topologías básicas; el convertidor Buck y el convertidor Boost; el convertidor de puente completo es una adaptación del convertidor Buck mientras que el convertidor Buck/Boost y Cúk son combinaciones de estas dos topologías básicas (Mohan et al., 2009),(Hart, 2001).

1.1.1 Topologías de convertidores electrónicos de potencia

En el siguiente apartado se tratará las dos topologías básicas de los convertidores, la del convertidor Buck y la del convertidor Boost.

1.1.1.2 *Convertidor Buck*

El convertidor Buck o reductor es usado en una amplia gama de aplicaciones, que van desde convertidores de conmutación para telecomunicaciones hasta fuentes de alimentación, esto debido a su alta eficiencia y simplicidad de control.

El convertidor está diseñado para obtener una tensión o voltaje menor al de un voltaje de entrada, para la obtención de este voltaje se implementa un filtro paso bajo (caracterizado por permitir el paso de las frecuencias más bajas y atenuar las frecuencias más altas), configurado con una bobina y un capacitor, después del interruptor de conmutación (MOSFET) (Fossas, 1996), (Hart, 2001).

En la Figura 1a se muestra el circuito del convertidor Buck, la Figura 1b, indica el circuito equivalente cuando el interruptor está cerrado, finalmente la Figura 1c, muestra el circuito equivalente cuando el interruptor está abierto.

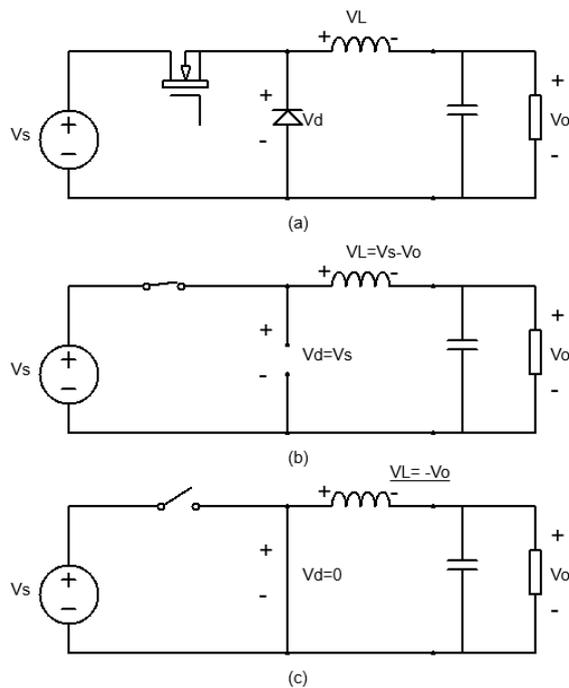


Figura 1. (a) Circuito convertidor Buck. (b) Circuito equivalente cuando el interruptor está cerrado. (c) Circuito equivalente cuando el interruptor está abierto Fuente:(Hart, 2001).

Realizando el análisis del circuito cuando el interruptor está cerrado, Figura 1b y cuando el interruptor está abierto Figura 1c, considerando que trabaja en régimen permanente (la corriente que fluye por el inductor es mayor a 0) se demuestra que el voltaje de salida V_o depende del ciclo de trabajo D y el voltaje de entrada V_s .

Cuando el convertidor trabaja en régimen permanente se puede estimar que el rizado de corriente y de voltaje están ligados a la frecuencia de conmutación, más frecuencia de conmutación, menos rizado, además el rizado de corriente es inversamente proporcional a la inductancia y el rizado de voltaje es proporcional al rizado de corriente e inversamente proporcional al capacitor

1.1.1.3 Convertidor Boost

Dash & Nayak. (2015) afirman: “El convertidor Boost es un circuito de electrónica de potencia que permite elevar un voltaje de salida V_o o mantener el voltaje de entrada V_s ; sin embargo, el voltaje de salida no puede ser menor al voltaje de entrada V_s ”. La Figura 2a, muestra el circuito del convertidor Boost, en la Figura 2b, se aprecia el circuito equivalente cuando el interruptor está cerrado y en la Figura 2c, se indica el circuito equivalente cuando el interruptor está abierto.

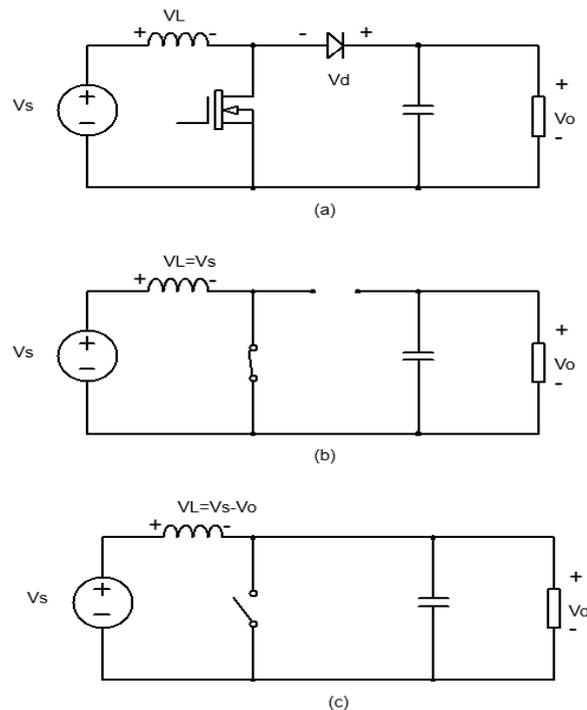


Figura 2. (a) Circuito del convertidor Boost. (b) Circuito equivalente cuando el interruptor está cerrado. (c) Circuito equivalente cuando el interruptor está abierto. Fuente:(Hart, 2001).

Cuando el convertidor opera en régimen permanente se puede afirmar que el interruptor esta siempre abierto cuando el ciclo de trabajo es cero. Al incrementar el ciclo de trabajo el voltaje de salida V_s será mayor al voltaje de entrada V_o ; además cuando el ciclo de trabajo se aproxime a la unidad, la salida será finita (Mohan et al., 2009),(Dash & Nayak, 2015).

1.2 Convertidores multicelulares y sus aplicaciones

Peláez Restrepo. (2011) afirma: los convertidores multicelulares son circuitos electrónicos que presentan las características de operar a niveles de alta frecuencia; lo que permite satisfacer diversos niveles de voltaje, por ello son usados en las siguientes aplicaciones:

- a) Amplificadores de potencia en dispositivos de radio frecuencia

- b) Interfaz en las líneas de distribución
- c) Lámparas de diodo led
- d) Administrador de energía USB (Universal Serial Bus)
- e) Gestión flexible de energía de futuras redes eléctricas

1.2.1 Convertidor multicelular

Un convertidor multicelular es una estructura basada en convertidores DC-DC básicos. En un convertidor multicelular de n celdas, una celda de conmutación unidireccional es un bloque compuesto por un dispositivo de conmutación (MOSFET) S_i y diodos D_i , donde $i = 1, 2, 3, \dots, n$; siendo n el número de celdas del convertidor. El número de dispositivos de conmutación y de diodos determina la cantidad de celdas.

Mientras que una celda de conmutación bidireccional está determinada por dos dispositivos de conmutación S_i y \bar{S}_i (\bar{S}_i es el negado de S_i), donde $i = 1, 2, 3, \dots, n$; donde el par de dispositivos de conmutación determinan el número de celdas que tiene cualquier convertidor multicelular (Gateau et al., 1997), (Peláez Restrepo et al., 2013) (Pelaéz Restrepo et al., 2014).

En la Figura 3a se muestra un convertidor multicelular Buck unidireccional de tres celdas, la Figura 3b muestra un convertidor multicelular Buck bidireccional de tres celdas.

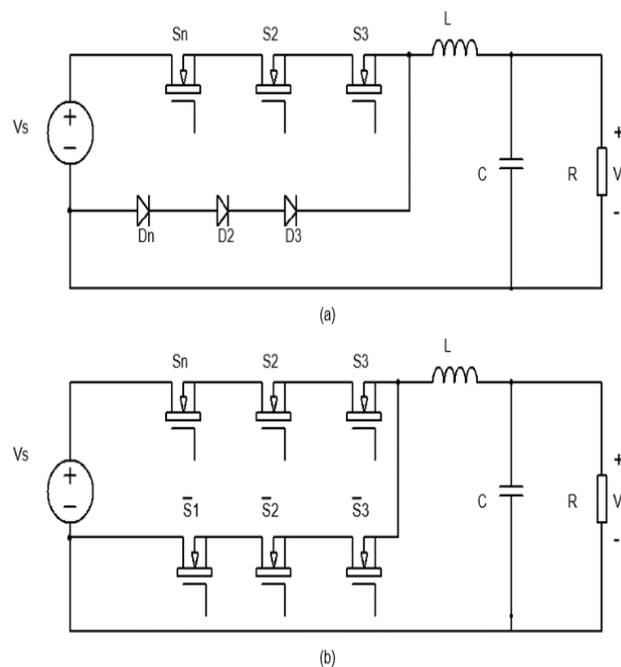


Figura 3. (a) Convertidor multicelular Buck de tres celdas unidireccional.
 (b) Convertidor multicelular Buck de tres celdas bidireccional.
 Fuente: (Peláez Restrepo et al., 2013).

El objetivo de los convertidores multicelulares, es colocar múltiples dispositivos de conmutación con la finalidad de tener un comportamiento equivalente de un solo conmutador que opere en altos voltajes en tiempos de conmutación cortos.

1.2.2 Topología convertidores multicelulares

Existen diversos tipos de topologías para convertidores multicelulares como son: convertidor intercalado multifase, convertidor síncrono multifase, convertidor intercalado de pulso multifase, entre otras; todas estas topologías se derivan de una sola topología básica, la cual es multifase (multi-phase), en este aparato se tratará sobre la topología base en un convertidor Buck.

Convertidor Buck multifase (multi-phase Buck)

Un convertidor Buck multifase es un conjunto de dos o más convertidores Buck conectados en paralelo que funcionan a la misma frecuencia con un desfase entre cada fase, dicho desfase este dado por la expresión $\frac{2\pi}{n}$, donde n es el número de ramas del convertidor. Se denomina celda al conjunto de elementos inductor, capacitor y MOSFET, L_i , D_i y S_i donde $i = 1,2,3 \dots n$; todas las celdas comparten un capacitor de entrada y salida (Dash & Nayak, 2015),(Armstrong, 2003).

En la Figura 4 Circuito del convertidor Buck multifase.

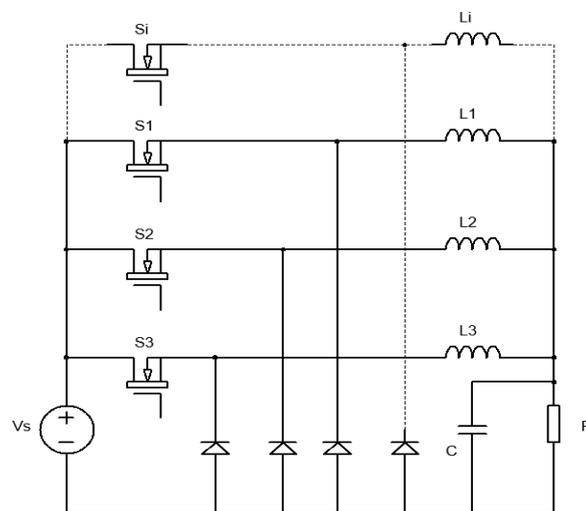


Figura 4. Circuito del convertidor Buck multifase.
Fuente: (Dash & Nayak, 2015).

En efecto, este tipo de configuración permite que la carga se someta a una frecuencia efectiva que es el múltiplo de la frecuencia el convertidor, aumentando la frecuencia de ondulación de la corriente; además este tipo de convertidor ofrece una solución para el

módulo de regulación de voltaje (VRM), que se usan para alimentar a los microprocesadores.

1.3 Convertidor multinivel

Un convertidor multinivel, es una fuente de voltaje avanzada aplicable en gran variedad de aplicaciones de medio y alto voltaje, sus características de construcción hacen que este convertidor multinivel presente ventajas de rendimiento, alta modularidad, escalabilidad simple, baja demanda de voltaje y la capacidad de disminuir la distorsión armónica en la forma de onda de salida sin disminuir la potencia de salida el convertidor (Wang et al., 2020),(Hasan et al., 2017).

En el siguiente apartado se tratará sobre dos topologías de convertidores multinivel muy usadas, estas topologías a tratar son: convertidor multinivel de medio puente H, convertidor de medio puente H en cascada y convertidor multinivel de capacitores flotantes (flying Capacitor).

1.3.1 Convertidor multinivel de medio puente H

En este tipo de topología al convertidor se lo conoce como inversor por tener la capacidad de conmutación de DC-AC; el convertidor está constituido por un par de MOSFET S_1 y S_2 , dichos MOSFET funcionan de manera complementaria; al estar activos S_1 , S_2 se mantiene abierto, el voltaje del capacitor C_1 se ve reflejado en la carga; mientras S_2 está activo, S_1 está abierto el voltaje $\frac{V_s}{2}$ aparece a través de la carga. (Mohan Ned, 2009). En la Figura 5a, se aprecia el esquema del inversor de medio puente H y la Figura 5b, muestra el voltaje de salida.

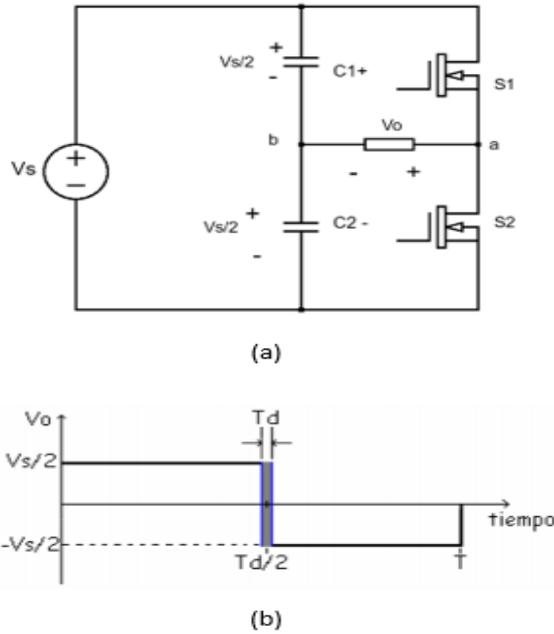


Figura 5. (a) Esquema del circuito del convertidor de medio puente H.
 b) Voltaje de salida
 Fuente:(Mohan Ned, 2009).

Como se aprecia en la Figura 5b, el voltaje de salida del convertidor de medio puente H es una señal cuadrada. Considerando que los capacitores estan cargados a la mitad del voltaje V_s , para la primera mitad del perodo ($\frac{T}{2}$) se obtendra un voltaje de onda cuadrada, para la segunda parte del perodo ($\frac{T}{2}$ a T) se polariza de forma inversa y el voltaje de salida sera $-\frac{V_s}{2}$ (Mohan Ned, 2009).

1.3.2 Convertidor de medio puente H con conexion en cascada

Esta topologa se basa en la conexion de convertidores de medio puente H y puente H con fuentes de DC separadas, esto con la idea de tener una combinacion de varios niveles de voltaje y la fabricacion de un voltaje sinusoidal. Al aumentar el numero de niveles, la forma de onda de la salida agrega mas niveles de voltaje, produciendo un conjunto de niveles de voltaje que producen la onda fundamental con una distorsion armonica mınima (Rodriguez Jose, Lai Jih-Sheng, 2008),(Shahrouz, 2016).

La Figura 6a, muestra un convertidor multicelular de medio puente H de n celdas conectado en cascada, la Figura 6b, muestra la seal de salida del voltaje de n niveles.

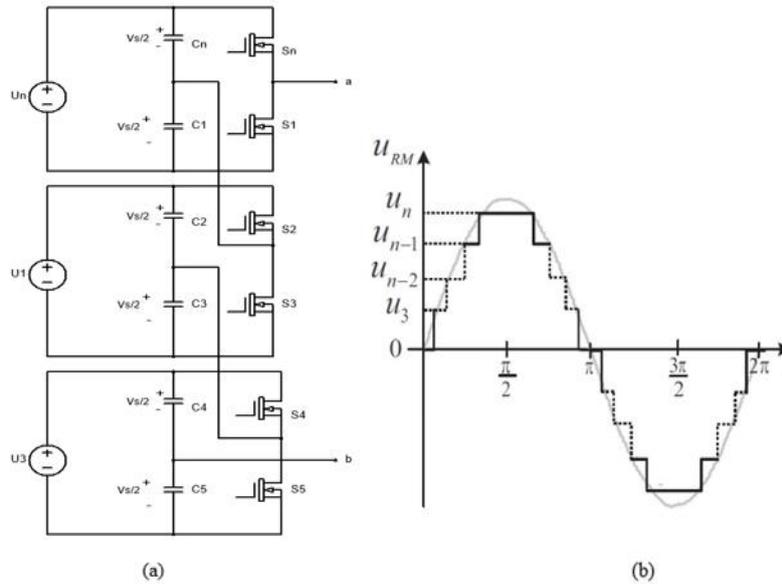


Figura 6. (a) Convertidor multicelular de medio puente H de n celdas conectado en cascada. (b) voltaje de salida de n niveles. Fuente:(Shahrouz, 2016).

En esta topología cada convertidor de medio puente H puede generar tres voltajes de salida diferente $+V_s$, 0 , $-V_s$. El voltaje de fase resultante se sintetiza por la suma de los voltajes generados por cada medio puente H. Por ejemplo, si se desea tener un convertidor multicelular de medio puente H conectado en cascada de 5 niveles, el voltaje de salida V_0 puede tomar cinco valores distintos: $+2V_s$, $+V_s$, 0 , $-V_s$, $-2V_s$.

1.3.3 Convertidor de capacitores flotantes

La estructura de este convertidor está constituida por celdas. Cada celda está constituida por un par de interruptores S_i y \bar{S}_i , donde $i=1,2,3\dots n$ y un capacitor flotante; dicho capacitor flotante debe estar configurado a un voltaje nominal particular; éste puede suministrar o no voltaje nominal dependiendo del estado del interruptor en la celda.

Es necesario mantener un equilibrio en la distribución de los voltajes de los capacitores flotantes para el correcto funcionamiento del convertidor; para que esto ocurra el voltaje nominal debe ser equivalente a una fracción del voltaje en DC dividida para el número de celdas. (Aguilar-López et al., 2020),(Yenes et al., 2015).

Con la finalidad de evitar cortocircuitos en las celdas, es necesario que cada par de interruptores en una celda funcionen de manera completa, en consecuencia, no deben estar cerrados al mismo tiempo; para que esto no ocurra, es necesario usar un tiempo de retraso entre las conmutaciones.

En la Figura 7a, se aprecia el circuito del convertidor de capacitores flotantes, la Figura 7b, muestra el voltaje de salida de n niveles del convertidor de capacitores flotantes.

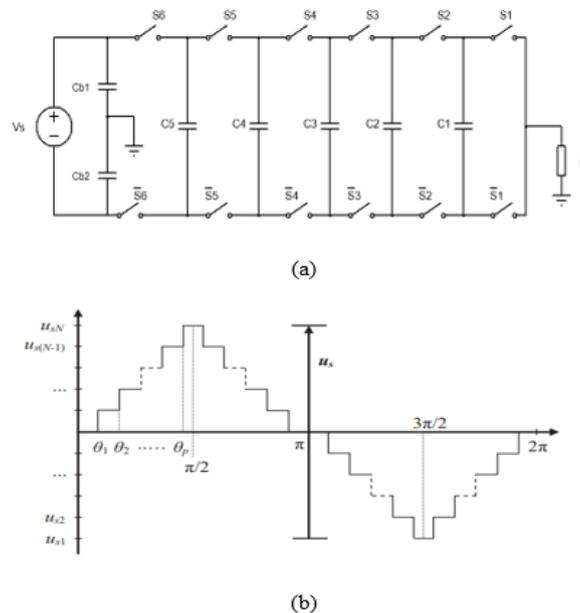


Figura 7. (a) Esquema del circuito del convertidor de capacitores flotantes. (b) salida de voltaje de n niveles. Fuente:(Aguilar-López et al., 2020).

En la Figura 7, el convertidor de capacitores flotantes es de 6 celdas, lo que indica que se tiene 7 niveles de voltaje; esto debido a que en esta topología los niveles de voltaje de salida están determinados por $n + 1$ donde n es el número de celdas.

1.4 Estrategias de modulación para convertidores

Las estrategias de modulación para convertidores tienen como principales objetivos mejorar la respuesta dinámica del TDH (distorsión armónica total), incrementar la eficiencia del sistema y reducir las pérdidas por conmutación en el caso de convertidores DC-AC; en el caso de convertidores DC-DC, el objetivo de la modulación es reducir la ondulación de salida, incrementar la eficiencia del sistema y reducir las pérdidas por conmutación.

En este apartado, se presentará la estrategia de modulación por ancho de pulsos (PWM) la cual es usada para conmutaciones de alta frecuencia en convertidores de electrónica de potencia.

Modulación por ancho de pulsos (PWM)

Todos los convertidores operan con una salida de voltaje regulada a una banda de tolerancia determinada por los valores de referencia que el diseñador emplee (por ejemplo 0.9% de tolerancia del valor nominal), esto en respuesta a las perturbaciones del voltaje de

entrada y salida. La salida promedio por conmutación se puede controlar mediante la modulación por ancho de pulsos la cual consiste en generar un pulso por cada semiciclo de la onda sinusoidal para tener como resultado una señal cuadrada, esto se logra enviando pulsos a los interruptores del convertidor. Esta modulación se realiza con la comparación de una señal moduladora la cual posee una frecuencia de referencia, y una señal portadora que es triangular, también llamada señal rampa con una frecuencia mayor que la frecuencia de referencia (Mohand, 2003),(Rashid, 2004),(Namboodiri & Wani, 2014).

En la Figura 8 se considera la modulación PWM.

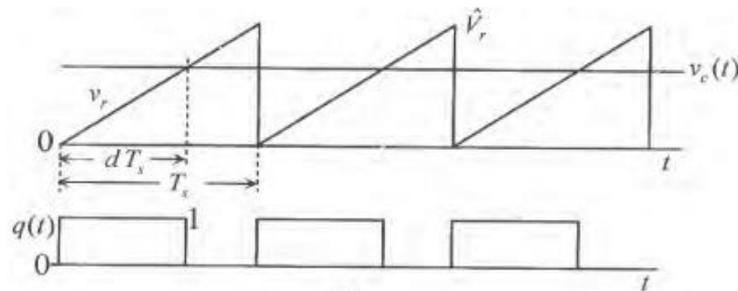


Figura 8 .Modulación PWM.
Fuente: (Mohand, 2003).

A través del tren de pulsos, se realiza la conmutación de los elementos de conmutación del convertidor para formar la señal de salida con la frecuencia, amplitud y fase determinada por la señal moduladora.

La modulación puede darse de dos formas:

- a) Bipolar: Se da cuando el convertidor utiliza dos estados $+V_{dc}$ y $-V_{dc}$; necesita una señal moduladora.
- b) Unipolar: Cuando el convertidor trabaja en tres estados $+V_{dc}$, $-V_{dc}$ y 0; necesita dos señales moduladoras.

1.5 Estrategias de modulación para convertidores multicelulares

De las estrategias de modulación PWM tradicionales (unipolar y bipolar), surgen dos ramificaciones importantes las cuales son: PWM basada en portadoras multinivel y PWM multinivel espacio-vector; de esta ramificación PWM basada en portadoras se desarrolló dos nuevas estrategias de modulación las cuales son: Level shift PWM y Phase shift PWM que aprovechan las propiedades especiales disponibles en los convertidores multicelulares para minimizar la utilización del conmutador y / o equilibrar la función de conmutación entre sus diversos niveles. Por esta razón en esta sección se tratará sobre las dos últimas

estrategias de modulación para convertidores multicelulares de conmutación DC-AC (Tolbert & Habetier, 1999),(Sedghi et al., 2011).

1.5.1 Modulación level shift PWM (LS-PWM)

La estrategia de modulación LS-PWM es muy usada para convertidores en medio puente H y puente H completo; dicha estrategia hace uso de varias señales portadoras triangulares y una señal de referencia por fase. Para un convertidor de nivel n las señales portadoras se determinan mediante la expresión: $n - 1$ con la misma frecuencia y amplitud. Cada forma de onda portadora se compara con la señal de referencia continuamente. Si una forma de onda de la señal portadora es más pequeña que la señal de referencia, significa que el interruptor correspondiente a dicha señal portadora está encendida y su interruptor complementario está apagado (Sedghi et al., 2011).

Renani et al. (2014) afirma: según la fase que tenga la señal portadora, la estrategia de modulación LS-PWM se puede clasificar en:

- a) Fase de disposición (Phase Disposition PD): las señales portadoras que se usan para realizar la modulación que están por encima del nivel 0 y las que se encuentran por debajo del mismo tienen el mismo desfase.
- b) Fase de oposición disposición (Phase Opposition Disposition POD): las señales portadoras que se usan para realizar la modulación que se encuentran en el nivel 0 y las que se encuentran por debajo de este nivel, tienen un desfase de 180° .
- c) Disposición de oposición de fase alternativa (Alternative Phase Opposition Disposition APOD): todas las señales portadoras tienen un desfase de 180° incluyendo las señales portadoras que están por debajo y encima del nivel 0.

En la Figura 8a, se visualiza la modulación LS-PWM de disposición, la Figura 8b, muestra la modulación LS-PWM de oposición disposición y la Figura 8c muestra la modulación LS-PWM de Disposición de oposición de fase alternativa.

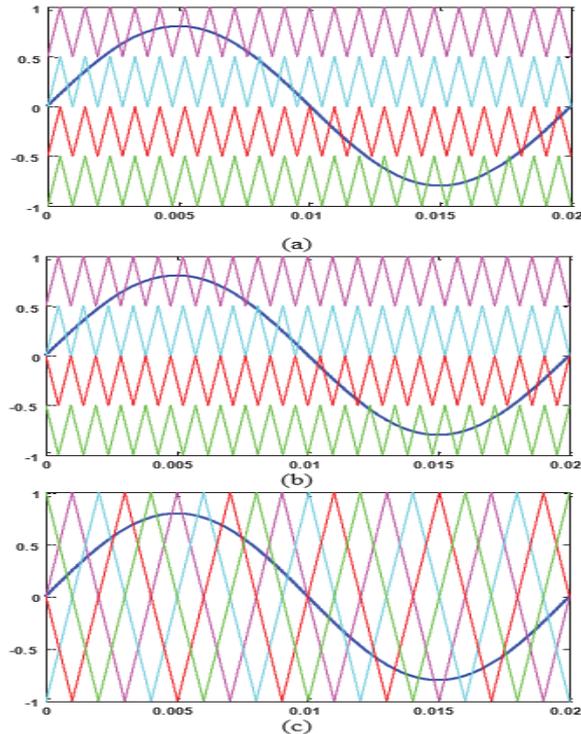


Figura 9. (a) Modulación LS-PWM por PD, (b) Modulación LS-PWM por POD, (c) Modulación LS PWM por APOD
Fuente:(Renani et al., 2014).

La Figura 9a, representa la modulación LS-PWM PD de un convertidor de 4 niveles donde se puede observar que se tiene una señal portadora superior y una inferior y las otras dos señales portadoras están desfasadas en el mismo nivel que las portadoras de límite superior e inferior. La Figura 9b, representa la modulación SP-PWM POD donde se aprecia que las dos señales portadoras que están por debajo y por encima del nivel 0 tienen un desfase de 180° y finalmente la Figura 9c, muestra la modulación LS-PWM AOPD donde todas las señales portadoras tienen un desfase de 180° .

1.5.2 Modulación phase shift PWM (PS-PWM)

La estrategia PS-PWM para convertidores de n celdas consiste en tener una señal de referencia y varias señales portadoras que se determinan por medio de los niveles del convertidor con la expresión $n - 1$, donde n es el número niveles; las señales portadoras deben tener la misma frecuencia y amplitud, pero deben estar desplazadas con un retardo la cual se usa para obtener la señal modulada. Para tener el desplazamiento de retardo se hace uso del método de disposición de fase alternativo de oposición disposición (Alternative Phase Opposition Disposition APOD), donde todas las señales portadoras tienen un desfase de 180° incluyendo las señales portadoras que se encuentran por arriba y por abajo del nivel 0. (Lawan & Abbas, 2016),(Calais et al., 2001),.

1.6 Análisis de Bode para frecuencia

El análisis de Bode para frecuencia es una representación gráfica para sistemas dinámicos, tanto realimentados como en lazo abierto, que consta de dos gráficas separadas, una corresponde a la magnitud de una función y la otra corresponde a la fase. Los diagramas de Bode ilustran la relatividad de un sistema, especialmente para casos en los cuales se dispone datos experimentales de la respuesta de frecuencia (Distefano, Joseph J., Allen R. Stubberud, 2013).

1.7 Balance de celdas

El balance de celdas consiste en equilibrar alguna variable de la celda representada en el modelo dinámico (corriente de entrada, corriente de salida, voltaje de salida, potencia, etc.) del convertidor multicelular; existen dos métodos de balance de celdas: el método pasivo y el método activo. El método de balance de celda pasivo es fácil de controlar e implementar, tiene una baja eficiencia debido a las pérdidas de energía y corrientes parásitas. Por otro lado, el método activo de balanceo celular utiliza inductores, capacitores e interruptores, haciendo que se tenga mayor eficiencia (Kim et al., 2013).

En este apartado, se tratará sobre el balance de celdas para el convertidor Buck multifase.

Balance de celda convertidor Buck multifase

Los convertidores Buck multifase, tienen varias etapas de potencia paralelas con un bucle de corriente en cada fase y un bucle de voltaje único. Sin embargo, el desbalance es inevitable debido al desajuste entre fases, eso puede suceder por la resistencia parásita del inductor. Tal desbalance, desactivará el efecto de cancelación de la ondulación multifásica. Para mantener el balance de corriente es necesario tener un bloque de balance de corriente para detectar y distribuir uniformemente la corriente de salida entre fases. La forma más sencilla para detectar la corriente y equilibrarla (método pasivo), consiste en insertar una resistencia de detección en serie con el inductor de salida y medir su caída de voltaje. (Abu Qahouq et al., 2008).

El método de detección de espejos de corriente es una alternativa para el balance de corriente; este método, se basa en alargar una rama de derivación para hacer que la señal sea más precisa en situaciones de alta frecuencia de conmutación. (Bai et al., 2017).

Otra manera de balancear la corriente, es usar un bucle de corriente para el equilibrio de corriente. Incluir un bucle de corriente es relativamente costosa debido a los circuitos electrónicos requeridos (sensor o resistencia más amplificador diferencial o transformador de corriente) y un control más complejo (bucles de corriente M). Por lo tanto, el uso de un gran número de fases no es rentable. (Castro de et al., 2009).

Otra opción para reducir el desequilibrio de corriente, es diseñar a cada celda con una ondulación de corriente de fase superior al doble del valor de la corriente promedio, esta opción es posible si el convertidor es síncrono.(Castro de et al., 2009).

Se puede usar cualquier método para el balance de corriente en el convertidor Buck multifase, esto dependerá del criterio de complejidad del diseñador.

1.8 Sistema de reconfiguración

Un sistema de reconfiguración, tiene por objetivo rediseñar el sistema ante una falla, sin que se caiga la totalidad del sistema, sacando de línea la parte con falla, permitiendo que el sistema siga funcionando.

Lo que se hace aquí, es usar un control descentralizado para balancear las fases de los portadores y así reconfigurar el sistema ante una falla de una celda. En esta sección se tratará sobre el método de control descentralizado.

Método de control descentralizado

El método de control descentralizado se utiliza para generar señales PWM de un convertidor multicelular. Esta técnica de control tiene la finalidad de entrelazar señales y balancear las corrientes inductoras, la cual ofrece una tolerancia a fallos. La descentralización evita puntos únicos de falla al nivel de control del convertidor y permite la toma de decisiones de reconfiguración local, sin la contribución de un supervisor centralizado.(Hillesheim et al., 2019), (Phan et al., 2020).

Este método de control utiliza controladores locales que se comunican con sus vecinos más cercanos (celdas) para intercalar las señales PWM, este método es confiable cuando se utiliza convertidores multicelulares con un número de celdas reducido, pues si se tiene un gran número de celdas este método puede requerir demasiado tiempo para alcanzar el estado estable.

Con este método cada celda del convertidor sincroniza su propia frecuencia portadora y la actualiza simultáneamente con su propia portadora o su desplazamiento de nivel que se basa en la información intercambiada, como el ángulo de la celda, posición en serie o paralela y el número total de células activas con su celda serial (convertidor multinivel) o paralela cercana (convertidor multifásico). (Phan et al., 2020).

Capítulo 2

Diseño y simulación del convertidor multicelular y sistema intercalado iterativo descentralizado digital

2. Introducción

El capítulo tiene como fin explicar en detalle el proceso de diseño y simulación del convertidor multicelular de medio puente H conectado en cascada, así como el diseño y simulación del sistema de reconfiguración intercalado iterativo descentralizado digital.

2.1 Metodología usada para el diseño del convertidor multicelular

En la Figura 10 se detalla el proceso que se realizó para el diseño y simulación del convertidor multicelular de cuatro celdas conectado en cascada (convertidor multicelular), con la finalidad de dar a conocer la metodología usada para la implementación de dicho convertidor.

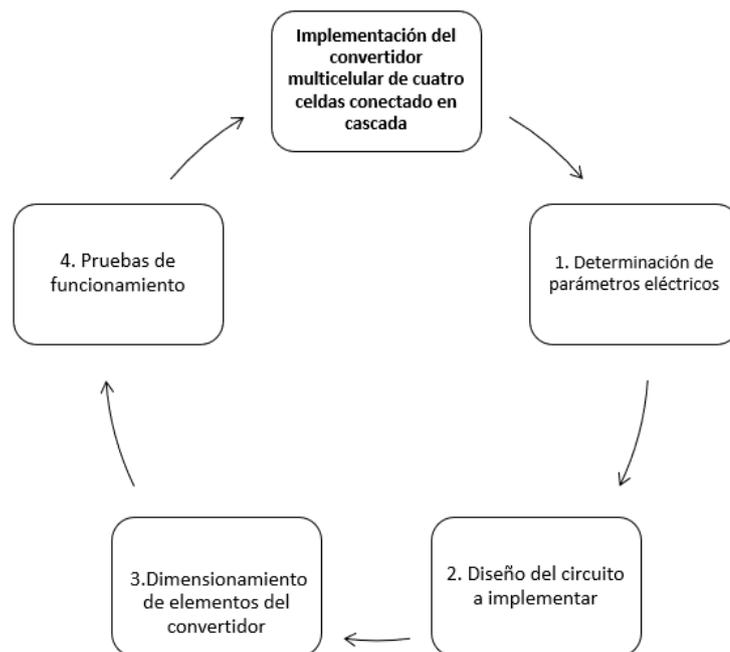


Figura 10. Diagrama de implementación de un convertidor multicelular de cuatro celdas conectado en cascada.

Como se aprecia en la Figura 10 el proceso desarrollado para la implementación del convertidor multicelular, sigue un proceso secuencial donde el primer paso es la determinación de parámetros eléctricos como son: el voltaje de salida, el rizado del capacitor y del inductor además del ciclo de trabajo. El segundo paso es el diseño del circuito donde se realiza el esquema del circuito eléctrico el siguiente paso es el dimensionamiento de los

elementos del convertido (inductor y capacitor), una vez que se tiene los datos teóricos se debe realizar un redimensionamiento de los elementos del convertidor puesto que en el mercado no pueden existir los valores comerciales que se obtuvieron teóricamente. El último paso a realizar la simulación del convertidor y las pruebas de funcionamiento para constatar que se tiene los parámetros establecidos para el convertidor.

2.2 Parámetros de diseño del convertidor multicelular

Los parámetros usados para el diseño del convertidor multicelular antes mencionado fueron: 10Khz de conmutación, un voltaje de entrada de 30V del cual se obtendrá un voltaje de salida de 48V, con una corriente de salida de 8A. Además, se realizó la simulación del circuito en el software Matlab, haciendo uso de la herramienta Simulink, con la finalidad de verificar el óptimo funcionamiento.

2.3 Diseño del circuito a implementar

Un convertidor multicelular está diseñado para reducir el rizado en un periodo de trabajo de las variables de salida (voltaje y corriente), con el fin de disminuir los costos de implementación. El convertidor multicelular propuesto es de medio puente H conectado en cascada, cada celda de dicho convertidor tendrá una fuente de voltaje descrita en los parámetros de diseño, lo que implica que el voltaje de salida será el mismo que el planteado en los parámetros de diseño; beneficiando de esta manera a la implementación del sistema de reconfiguración intercalado iterativo descentralizado digital.

2.3.1 Diseño propuesto

El convertidor multicelular propuesto es bidireccional con lo que se garantiza el funcionamiento en estado continuo. El diseño propuesto del convertidor multicelular se puede observar en la Figura 11.

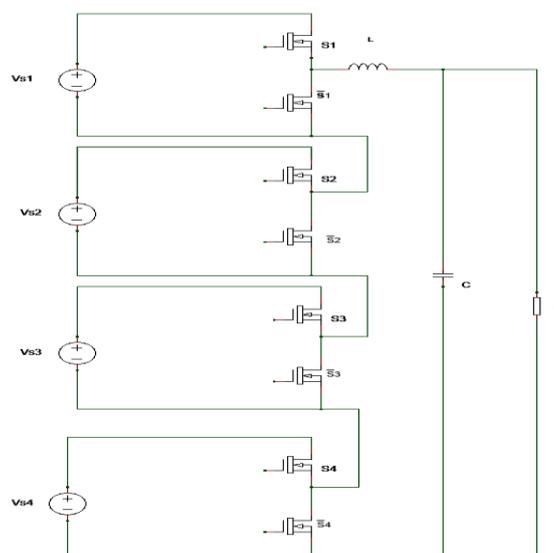


Figura 11. Diseño del convertidor multicelular propuesto.

En la Figura 11 el convertidor multicelular consta de 4 celdas las cuales están conectadas en cascada (la entrada de una celda es la salida de otra celda), también se puede apreciar que cada celda cuenta con una fuente de voltaje V_s , donde: $V_{s1} = V_{s2} = V_{s3} = V_{s4}$.

2.3.2 Descripción del circuito

Para la descripción del circuito, se realiza el análisis en una celda, la Figura 12a muestra el circuito equivalente cuando S_1 está cerrado y \bar{S}_1 está abierto. La Figura 12b muestra el circuito equivalente cuando S_1 está abierto y \bar{S}_1 está cerrado.

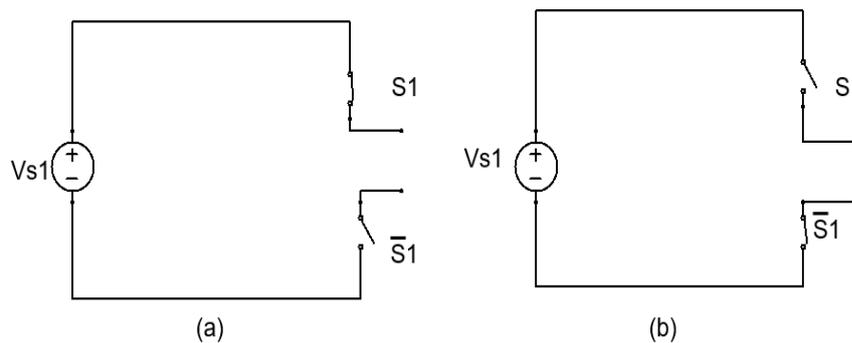


Figura 12. (a) Circuito equivalente cuando S_1 está cerrado y \bar{S}_1 . (b) Circuito equivalente cuando S_1 está abierto y \bar{S}_1 está cerrado.

Partiendo de los criterios de análisis de un convertidor multicelular Boost descrito en el libro "Power electronics : Converters, Applications, and Design ".(Mohan Ned, 2009).Se puede obtener ecuaciones de los diferentes parámetros eléctricos.

Mediante la Figura 12a se obtiene la siguiente ecuación de voltaje de salida:

$$V_o = V_{s1} \quad (1)$$

Mediante la Figura 12b se obtiene la ecuación de voltaje de salida cuando S_1 está abierto y \bar{S}_1 está cerrado.

$$V_o = 0 \quad (2)$$

Mediante la ecuación (1) se puede apreciar que el voltaje de salida para el convertidor propuesto se representa mediante la ecuación (3).

$$V_o = V_{s1} + V_{s2} + V_{s3} + V_{s4} \quad (3)$$

La ecuación (3) expresa al voltaje de salida del convertidor como la sumatoria de los voltajes V_{sn} , donde $n = 1,2,3,4$. Dicha ecuación se la puede expresar de manera general para un convertidor de k celdas, esto se aprecia en a la ecuación (4).

$$\sum_{k=1}^n V_{SK} \quad (4)$$

El modelo conmutado de voltaje para el convertidor se expresa como:

$$\sum_{k=1}^n V_{SK} S_K \quad (5)$$

Donde:

S_K : número de celda

El modelo promedio para el convertidor es el siguiente:

$$\sum_{k=1}^n V_{SK} d_K \quad (6)$$

Donde:

d_K : ciclo de trabajo

Nótese: que cuando los MOSFETS conmutan se produce un ciclo de trabajo o Duty Cycle.

Asumiendo un estado ideal donde todas las fuentes son iguales se tiene la siguiente expresión:

$$\sum_{k=1}^n (V_{SK} + \Delta V_K) d_K \quad (7)$$

Donde:

ΔV_K : perturbaciones de voltaje

Suponiendo, además que todos los ciclos de trabajo son iguales; es decir cada celda del convertidor aporta con los mismos valores de voltaje y se tiene una simetría entre celdas, se obtiene la siguiente expresión:

$$V_O = NV_S d + \sum_{k=1}^n \Delta V_K d \quad (8)$$

Donde:

N: número de celdas

Si no se tiene perturbaciones de voltaje se tiene la siguiente ecuación:

$$V_O = NV_S d \quad (9)$$

De la ecuación (9) se puede obtener el ciclo de trabajo para el convertidor multicelular, dicha ecuación se indica a continuación:

$$d = \frac{V_O}{NV_S} \quad (10)$$

A partir de la ecuación (10) se determina el ciclo de trabajo del convertidor multicelular para el caso propuesto el ciclo de trabajo del 40%, equivalente a 0.4.

2.4 Modulación propuesta para el convertidor multicelular

La ecuación usada para realizar el desfase entre celdas para un convertidor multicelular de k celdas, se muestra a continuación.

$$\text{desfase} = \frac{2\pi}{N}(K - 1) \quad (11)$$

Donde:

K: celda

N: número total de celdas

La modulación para el convertidor multicelular propuesto; fue la modulación Phase shift PWM.

Se usó este tipo de modulación porque es muy usada en convertidores de n celdas, todas las señales portadoras estarán desfasadas $\pi/2$, esto se determinó mediante la ecuación (11), la cual describe el desfase para un convertidor multicelular de k celdas. Para el convertidor multicelular de cuatro celdas conectado en cascada el desfase para cada celda es el siguiente: $0, \pi/2, \pi, 3\pi/2$; mediante estos desfases para cada celda se estableció que el desfase para cada señal portadora es de $\pi/2$.(Lawan & Abbas, 2016)

Frecuencia de conmutación

La frecuencia seleccionada para el funcionamiento del convertidor multicelular propuesto es de 10KHz y 50KHz, esto dado a que el convertidor multicelular es de bajo voltaje.

2.5 dimensionamiento de los componentes pasivos del convertidor multicelular

En este apartado se trata sobre el proceso desarrollado para la elección del MOSFET, que se usara en el convertidor multicelular, además de la ecuación propuesta para el dimensionamiento del inductor, capacitor y resistencia respectivamente.

2.5.1 Selección del interruptor de potencia MOSFET

El MOSFET seleccionado tiene las características de funcionamiento con un voltaje de 100V, una corriente de drenaje de 80A, a una potencia operativa de 175 °C, esto debido a que el convertidor multicelular propuesto es de bajo voltaje, además que con este MOSFET se puede conmutar a bajas y altas frecuencia.

En la Tabla 1 muestra las características del MOSFET seleccionado.

Tabla 1. Especificaciones de datos del MOSFET 30NL0F7

Símbolos	Parámetros	calificaciones	Unidades
V_{DSS}	Voltaje drain	100	V
V_{GSS}	Voltaje gate	± 20	V
I_D	Corriente drain	-Continua	45
		-Pulsada	180
P_D	Potencia total de disipación	30	W
		5	W/°C
T_J, T_{STG}	Rango de temperatura de la unión de funcionamiento y almacenamiento	-55 a +175	°C

Nota: Los datos de la Tabla 1 fueron tomados de la hoja de datos proporcionada por la compañía Digi-Key.

En la tabla 1 se puede apreciar los parámetros de funcionamiento más relevantes del MOSFET que se usaron para el convertidor multicelular propuesto.

2.5.2 Cálculo de la carga

Para el cálculo de la carga se ocupa la siguiente ecuación:

$$R_o = \frac{V_o}{I_o} \quad (12)$$

Los parámetros planteados para el convertidor multicelular fueron de un voltaje de salida $V_o = 48V$ y una corriente de salida $I_o = 8A$. Con estos parámetros se puede obtener la resistencia la cual es de 6Ω .

2.5.3 Dimensionamiento del inductor

Para el dimensionamiento del inductor, se puede suponer que el convertidor multicelular conmuta entre un nivel l , con $(1 - d)T$ y $l + 1$, con dT , por ende, el voltaje del inductor será:

$$V_l = V_s - V_o \quad (13)$$

Si $V_s = l$:

$$lV_s = (V_o + V_L)(1 - d)T \quad (14)$$

Si $V_s = l + 1$:

$$lV_s = (V_0 + V_L)dT \quad (15)$$

El voltaje promedio de salida es:

$$V_{oprom} = (l + d)V_s \quad (16)$$

Encontrando el voltaje del inductor con el voltaje promedio de salida, se obtiene:

$$V_l = V_s - V_{oprom} = L \frac{\Delta i}{\Delta T} \quad (17)$$

$$L \frac{\Delta i}{\Delta T} = (l + 1)V_s - (l - d)V_s \quad (18)$$

Realizando las operaciones correspondientes en la ecuación (17), se obtiene la ecuación para poder dimensionar el inductor.

$$L = \frac{V_s(1-d)}{\Delta i N f} \quad (19)$$

Donde:

N = número de celdas

Nótese que: en la ecuación (19) para dimensionar el inductor se tiene Nf , lo que indica que la frecuencia se multiplica por número de celdas del convertidor, esto debido a que la frecuencia de salida es la frecuencia de los MOSFETS por la frecuencia de cada celda.

Haciendo uso de la ecuación (19) para obtener el inductor, sabiendo que el rizado de corriente es del 5% a 8A, el ciclo de trabajo es 0.4 de el voltaje $V_s = 30$ y la frecuencia es del 10KHz, se obtiene que el valor del inductor es de $1.125mH$.

Si se tiene una frecuencia de 50KHz con los mismos valores de voltaje de entrada, ciclo de trabajo y rizado de corriente se tiene un inductor de $225uH$.

2.5.4 Dimensionamiento del capacitor

Para realizar el dimensionamiento del capacitor se parte de la señal de la corriente del inductor, esto se puede apreciar en la Figura 13.

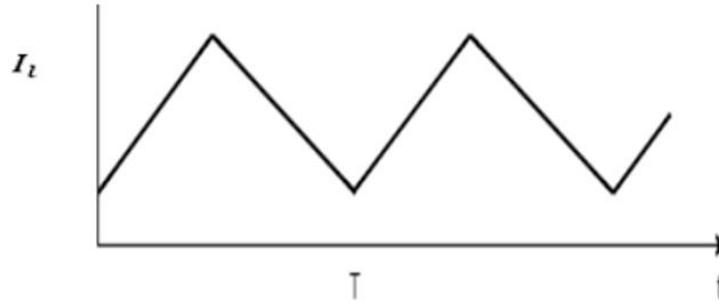


Figura 13. Señal de salida de la corriente del capacitor.

Mediante la Figura 13 que describe el rizado de corriente del inductor y la ecuación (20) descrita a continuación, se realiza el dimensionamiento del capacitor.

$$\Delta Q_c = C \Delta V_o \quad (20)$$

Como se puede apreciar se debe calcular el área bajo la curva de la corriente del inductor para ΔQ_c , para ello se ocupa la siguiente ecuación:

$$\Delta Q_c = \frac{1}{2} b h \quad (21)$$

Realizando dicho cálculo se obtiene:

$$\Delta Q_c = \frac{1}{2} \left(\frac{T}{2} \right) \left(\frac{\Delta I_L}{2} \right) \quad (22)$$

Realizando las operaciones pertinentes se tiene como resultado:

$$\Delta Q_c = \left(\frac{T \Delta I_L}{8} \right) \quad (23)$$

Finalmente se reemplaza ΔQ_c de la ecuación (23) con la ecuación (20) y despejando C se tiene como resultado:

$$C = \left(\frac{\Delta I_L}{8 N f \Delta V_o} \right) \quad (24)$$

Donde:

ΔI_L = rizado de corriente del inductor

ΔV_o = rizado de voltaje del capacitor

N = número de celdas

Nótese que: la frecuencia de conmutación debe ser multiplicada por el número de celdas del convertidor esto debido a que la salida de conmutación depende de cada MOSFET de cada celda.

El rizado de voltaje utilizado para el convertidor multicelular fue del 5%, al igual que el rizado de corriente, la frecuencia de conmutación fue de 10KHz, usando la ecuación (24) se obtuvo como resultado un capacitor de 520nF.

De la misma manera haciendo uso de la ecuación (24), manteniendo el rizado de voltaje y corriente, con una frecuencia de 50KHz se obtuvo un capacitor de 104.16nF.

2.6 Selección de los valores comerciales

Esta sección se trata sobre la elección de los valores comerciales de los elementos pasivos del convertidor multicelular, esto debido a que no es posible usar cualquier valor de resistencias, capacitores e inductores por lo cual se deben usar valores estándares universales. Además, se presenta el redimensionamiento del circuito, con el cual se tendrá nuevos parámetros de salida de voltaje y corriente.

No se realizó la selección de valores comerciales para el inductor puesto que se realizó el inductor.

Selección del valor comercial del capacitor

El valor comercial seleccionado para el capacitor fue de 520nF para una frecuencia de conmutación de 10KHz; y se utilizó un valor de capacitancia de 0.1uf a una frecuencia de 50KHz, es decir se ocupó el mismo valor teórico, esto debido a que existe en el mercado el valor comercial calculado.

Como se hizo uso de los mismos valores teóricos no fue necesario el redimensionamiento del circuito. La tabla 2 muestra los valores que se usaron para el convertidor multicelular.

Tabla 2.

Valores comerciales de los elementos pasivos del convertidor multicelular

Frecuencia	Resistencia	Capacitor	Inductor
10KHz	6Ω	520nf	1.125mH
50KHz	6Ω	0.1uf	225uH

Nota: la resistencia es la misma para el convertidor multicelular cuando trabaja a 10KHz y 50KHz puesto que es una resistencia propia del convertidor.

2.7 Simulación del convertidor mediante el uso de Matlab – Simulink

La simulación del convertidor multicelular, se realizó usando el software Matlab-Simulink, el cual es un entorno de programación visual, que funciona sobre el entorno de programación Matlab.

Para realizar la simulación se elaboró un código en el cual se encuentran los valores calculados anteriormente; este código se sincronizó a Simulink donde los elementos del convertidor toman los valores de la resistencia, capacitor e inductor.

La Figura 14 indica el circuito del convertidor multicelular para su simulación.

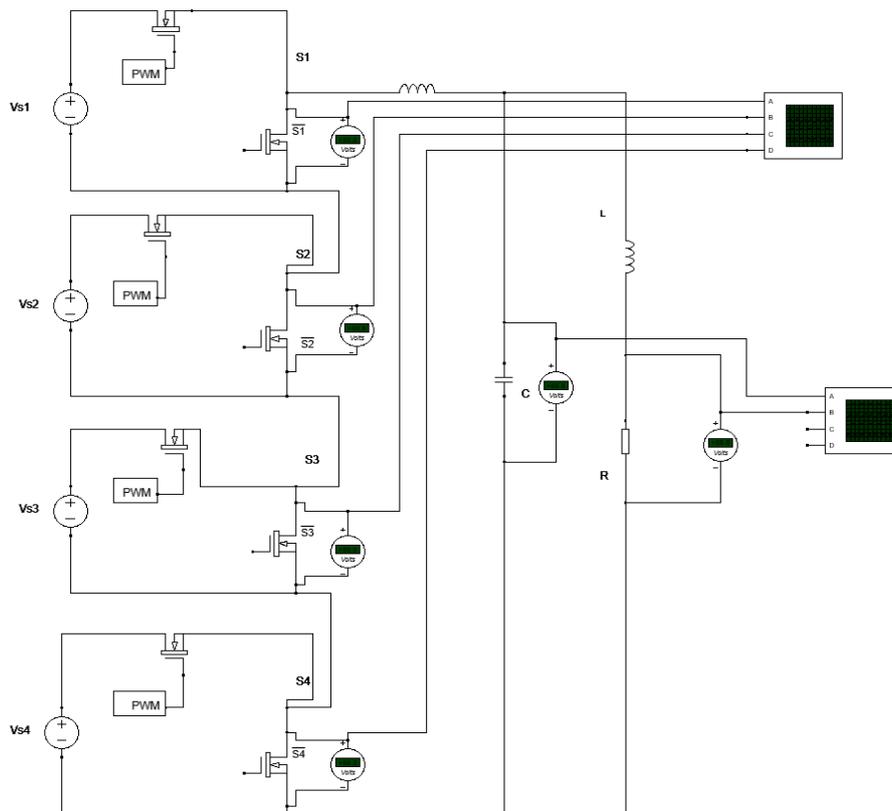


Figura 14. Implementación del circuito del convertidor multicelular para la su simulación.

Para realizar el desfase de ángulos entre celdas, para las señales portadoras se usó la ecuación (12), la cual describe el desfase de ángulos que se debe tener entre N número de celdas.

Además, el circuito de la Figura 14 es un convertidor multicelular bidireccional esto con la finalidad de evitar que el mismo entre a trabajar en modo discontinuo.

La Figura 15a indica el aporte del rizado de voltaje de cada celda, mientras que la Figura 15b indica la señal de onda del voltaje de salida obtenido.

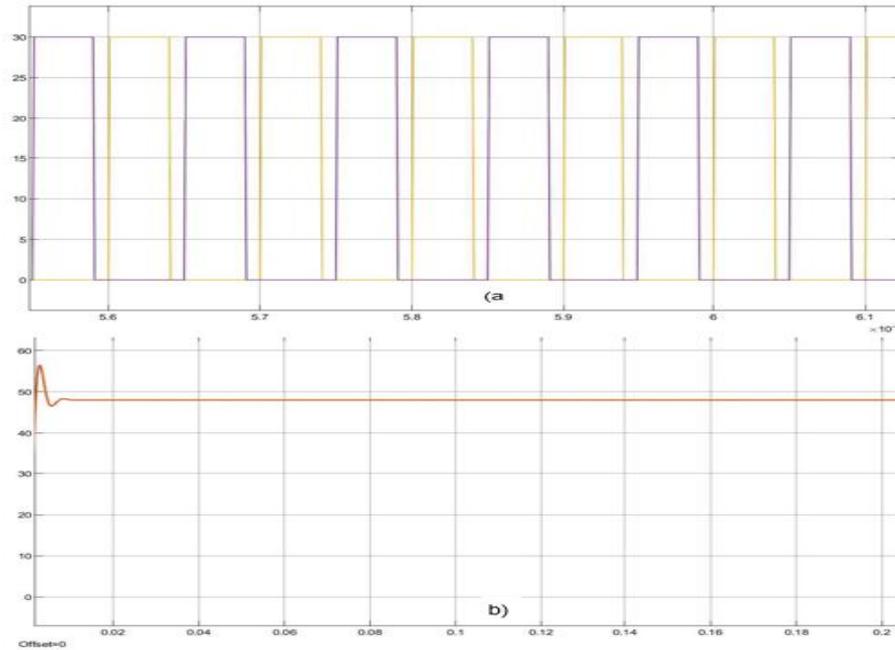


Figura 15.(a) Rizado de voltaje aportado por cada celda, (b) Voltaje de salida del convertidor multicelular.

Como se aprecia en la Figura 14a el voltaje de rizado que aporta cada celda hace que este sea cuatro veces más pequeño. La Figura 14b se muestra la señal del voltaje de salida, como se aprecia este voltaje inicia en cero y de pues va creciendo hasta tener un voltaje pico, que se estabiliza en 48V, que es el parámetro del voltaje de salida establecido.

2.8 Metodología usada para la implementación del sistema intercalado descentralizado iterativo digital

En la Figura 16 se detalla el proceso que se realizó para la implementación del sistema intercalado Descentralizado iterativo digital también denominado sistema de reconfiguración.

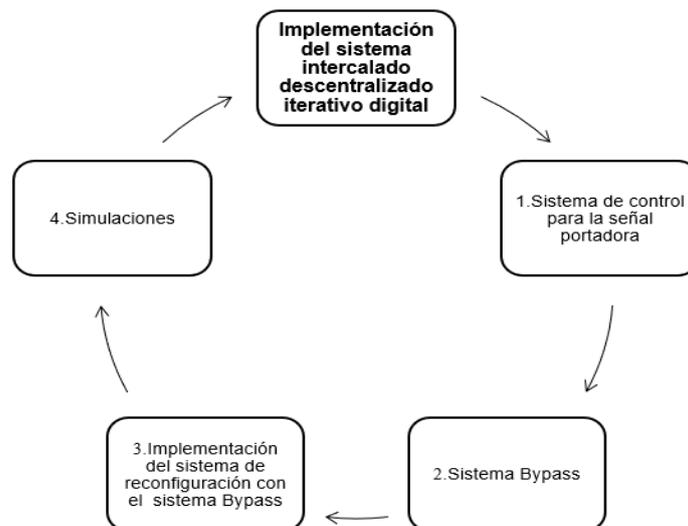


Figura 16. Diagrama de implementación del sistema intercalado descentralizado digital.

Como se puede apreciar en la Figura 16 indica los pasos realizados para la implementación del sistema de reconfiguración, el cual consta de cuatro pasos. En el primer paso se realiza un sistema de control para la comunicación de las señales portadoras, haciendo uso de sistemas de control, en el segundo paso se realiza la elaboración del sistema de bypass para la comunicación de celdas, el tercer paso es la unión del sistema de control para las señales y el Bypass y finalmente el último paso es la simulación del mismo para tener el lazo de control entre el bypass y las señales portadores.

2.9 Sistema de control para las señales portadoras

Para desarrollar el sistema de control de las señales portadoras se requiere tener ecuaciones características las cuales se desarrollaron mediante el uso de algebra lineal y teoría de grafos descrita en el libro “Graph Theoretic Methods in Multiagent Networks”.

2.9.1 Ecuaciones características

La condición final de un grafo es poder formar una matriz, la cual se puede expresar como un sistema dinámico en el cual se tendrá n estados, en la Figura 17 se puede apreciar la representación de un grafo para un convertidor multicelular de 4 celdas.

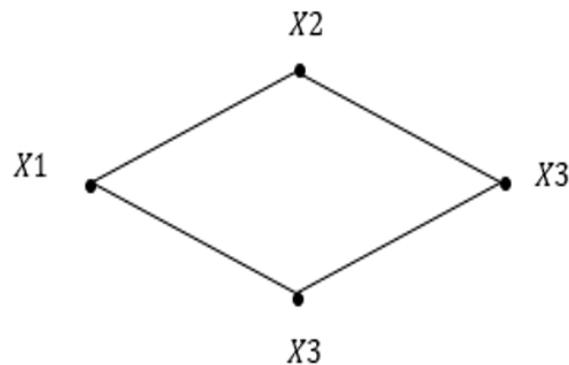


Figura 17. Representación de un grafo para un convertidor multicelular de cuatro celdas.

Para obtener una ecuación de matices se usa la ecuación (24); la cual expresa que un vector A es igual a una matriz B multiplicada por un vector C.

$$\Delta A = B \cdot C \tag{24}$$

Mediante la Figura 17 se puede obtener la ecuación (25):

$$\begin{matrix} & \text{A} & & \text{B} & & \text{C} \\ \begin{pmatrix} \dot{x}_1 \\ \dot{x}_2 \\ \dot{x}_2 \\ \dot{x}_2 \end{pmatrix} & = & \begin{pmatrix} 1 & -1 & 0 & 0 \\ 0 & 1 & -1 & 0 \\ 0 & 0 & 1 & -1 \\ -1 & 0 & 0 & 1 \end{pmatrix} & \begin{pmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \end{pmatrix} & & \end{matrix} \quad (25)$$

Nótese que: la matriz B hace referencia a la comunicación que existe entre celdas donde: 1 es la celda n la cual se comunica con -1 que hace referencia a la celda n+1.

A partir de la ecuación (24) se puede decir que todo sistema es un grafo si la suma de los elementos que no están en la diagonal es igual al elemento de la diagonal con signo contrario y además la suma de las filas debe ser igual a cero; lo que produce que los valores convergen a la igualdad.

Mediante estas premisas se realiza una transformación lineal de las señales portadoras llamadas ángulos φ_i de la cual se obtiene a ecuación 26.

$$T \begin{pmatrix} \varphi_0 \\ \varphi_1 \\ \varphi_2 \\ \varphi_3 \end{pmatrix} = \begin{pmatrix} \Delta\varphi_0 \\ \Delta\varphi_1 \\ \Delta\varphi_2 \\ \Delta\varphi_3 \end{pmatrix} = \begin{pmatrix} \varphi_0 \\ \varphi_1 - \varphi_0 \\ \varphi_2 - \varphi_1 \\ \varphi_3 - \varphi_2 \end{pmatrix} = \begin{pmatrix} 0 \\ \pi/2 \\ \pi/2 \\ \pi/2 \end{pmatrix} \quad (26)$$

Nótese que: en la ecuación (26) no se converge a la igualdad de $\pi/2$, porque $\varphi_0 = \Delta\varphi_0 = 0$ por lo cual se debe usar un arreglo para las señales portadoras, para ello se elimina φ_0 con un desfase de 0 y se lo reemplaza con un ángulo φ_4 que tendrá un desfase de 180° que es lo mismo que tener un desfase de 0° ; con esto no se altera el desfase entre señales portadoras, pero se logra que todas convergen a $\pi/2$. Esto se aprecia en la ecuación (27).

$$T \begin{pmatrix} \varphi_1 \\ \varphi_2 \\ \varphi_3 \\ \varphi_4 \end{pmatrix} = \begin{pmatrix} \Delta\varphi_1 \\ \Delta\varphi_2 \\ \Delta\varphi_3 \\ \Delta\varphi_4 \end{pmatrix} = \begin{pmatrix} \varphi_1 \\ \varphi_2 - \varphi_1 \\ \varphi_3 - \varphi_2 \\ \varphi_4 - \varphi_3 \end{pmatrix} = \begin{pmatrix} \pi/2 \\ \pi/2 \\ \pi/2 \\ \pi/2 \end{pmatrix} \quad (27)$$

Ahora se tendrá la matriz de ángulos delta φ_i ($\Delta\varphi$):

$$\Delta\varphi = \begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & -1 & 0 \\ 0 & 0 & 1 & -1 \\ -1 & 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} \varphi_1 \\ \varphi_2 \\ \varphi_3 \\ \varphi_4 \end{pmatrix} \quad (28)$$

La ecuación (28) puede ser expresada como: $\Delta\varphi = T\varphi$; donde se muestra que la dicha ecuación no es un grafo pues la fila 1 no cumple con las condiciones establecidas anteriormente para que sea un grafo; esto implica que las señales portadoras no estén

correctamente intercaladas, por lo cual se requiere aplicar una ley de control que convierta en un grafo a dicha matriz.

La ley de control que se diseñó no tiene una referencia puesto que los desfases de las señales portadoras son iguales, la ecuación (29) describe la ley de control que será utilizada.

$$\varphi_{on} = K_n \varphi_{en} + K_{n+1} \varphi_{en+1} + \dots + K_{n+j} \varphi_{en+p} \quad (29)$$

Donde:

φ_n = posición de salida de la señal portadora

φ_{en} = posición de entrada de la señal portadora

$K_n = K_{n+j}$ = control

Haciendo uso de la ecuación (29) se obtiene:

$$\begin{pmatrix} \varphi_{O1} \\ \varphi_{O2} \\ \varphi_{O3} \\ \varphi_{O4} \end{pmatrix} \begin{pmatrix} K_{11} & K_{12} & K_{13} & K_{14} \\ K_{21} & K_{23} & K_{23} & K_{24} \\ K_{31} & K_{32} & K_{33} & K_{34} \\ K_{41} & K_{42} & K_{43} & K_{44} \end{pmatrix} \begin{pmatrix} \varphi_{e1} \\ \varphi_{e2} \\ \varphi_{e3} \\ \varphi_{e4} \end{pmatrix} \quad (30)$$

Por medio de la ecuación (30) se aprecia que la salida de una señal n será igual a un controlador multiplicado por el error de la señal de la izquierda menos el error de la señal de la derecha hacia abajo del convertidor más la suma del error de la señal de la derecha menos el error de la señal de la izquierda hacia arriba del convertidor. De lo cual se obtiene:

$$\varphi_{O1} = K(s)(\varphi_{O2} - 2\varphi_{O1}) \quad (31)$$

$$\varphi_{O2} = K(s)(\varphi_{O3} - 2\varphi_{O2} + \varphi_{O1}) \quad (32)$$

$$\varphi_{O3} = K(s)(\varphi_{O4} - 2\varphi_{O3} + \varphi_{O2}) \quad (33)$$

$$\varphi_{O4} = K(s)(\varphi_{O1} - 2\varphi_{O4} + \varphi_{O3}) \quad (34)$$

Finalmente, con las ecuaciones (31), (32), (33) y (34) se tiene la ley de control para que las señales portadoras del convertidor multicelular se comporten como un grafo y por ende convergen en un punto medio si una de las celdas del convertidor multicelular falla.

2.9.2 Simulación del control para las señales portadoras

Para realizar la simulación del control de las señales portadoras se usó el software de Matlab Simulink, la Figura 18 describe al sistema de control.

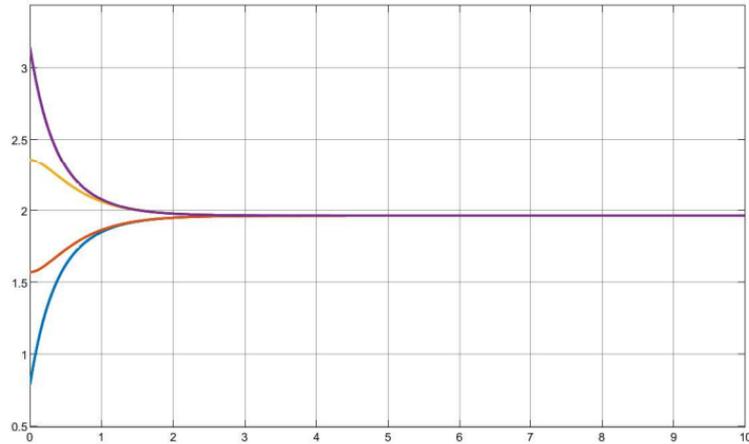


Figura 18. Sistema de control para las señales portadoras.

Como se observa en la Figura 18 el sistema de control para las señales portadoras cuenta con los elementos descritos en las ecuaciones (31), (32), (33) y (34), donde el control que se usó fue un integrador, el valor que ocupó cada control integrador fue el desfase de cada señal; en la Figura 19 se muestra la simulación del control.

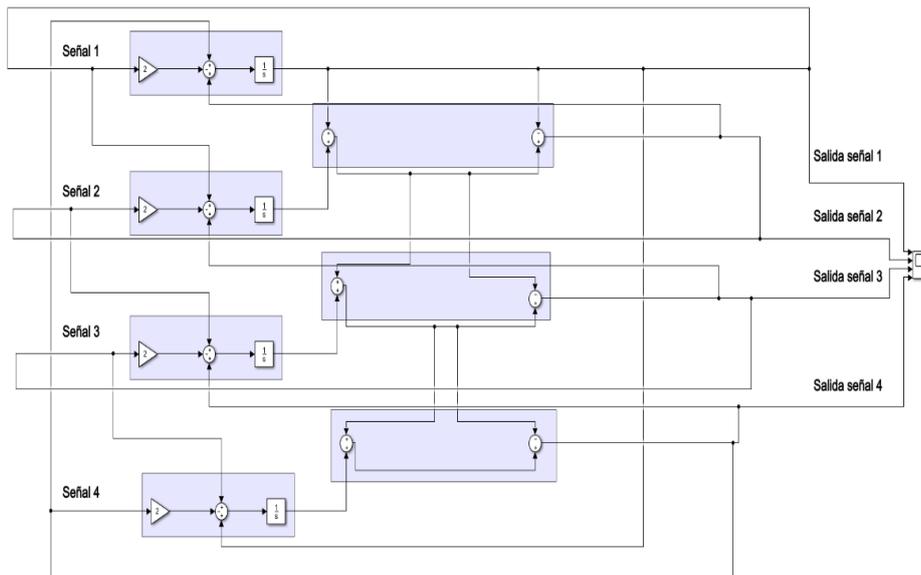


Figura 19. Simulación del sistema de control para las señales portadoras.

La Figura 19 indica como las cuatro señales portadoras convergen en un punto medio que para el caso de estudio fue de $\pi/2$, es decir las señales se estabilizan en 1.57 segundos. Demostrando de esta manera que el intercalado entre cada señal portadora es correcto.

2.10 Sistema bypass

El sistema bypass tiene la capacidad de funcionar si se elimina una celda sin ser interrumpido. Esta capacidad permite que el convertidor gestione el número de celdas activas durante el funcionamiento para la reconfiguración de las celdas. La Figura 20 muestra el diagrama de bloques del sistema bypass.

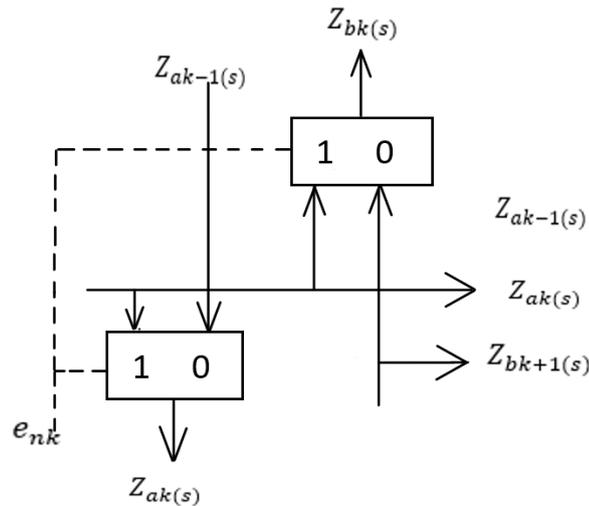


Figura 20. Diagrama de bloques del bypass.

De acuerdo con la Figura 20 el sistema bypass de k celdas depende de una señal de habilitación e_{nk} , donde: si $nk = 1$, la celda está activa por lo cual el bypass envía a las celdas adyacentes el valor propio de la celda $Z_{k(s)}$. Si $nk = 0$, la celda no está activa y el sistema bypass envía la celda $k + 1$ el valor recibido por la celda $k - 1$. Para la celda 1 y la celda k el controlador cierra el lazo enviando $Z_{k(s)}$ a la celda 1 y $Z_{1k(s)}$ a la celda k .

Teniendo la operación del habilitador de la siguiente manera:

$$\begin{pmatrix} Z_{ak} \\ Z_{bk} \end{pmatrix} = \begin{cases} \begin{pmatrix} Z_k \\ Z_k \end{pmatrix}; e_{nk} = 1 \\ \begin{pmatrix} Z_{ak+1} \\ Z_{ak-1} \end{pmatrix}; e_{nk} = 0 \end{cases} \quad (35)$$

Con lo cual se finaliza el diseño del bypass para el sistema de reconfiguración iterativo descentralizado digital.

2.11 Simulación del sistema de reconfiguración en el convertidor multicelular

A continuación, se trata sobre la simulación del bypass con el sistema de control para las señales portadoras para obtener el sistema de reconfiguración.

2.11.1 Simulación de un primer bypass para las señales portadoras

Se tiene un primer bypass después de las entradas de cada señal portadora, para que el bypass comunique a las celdas vecinas si ocurrió una falla las celdas 1,2 o 3, en caso de darse esto el $nk = 0$, por lo cual se reconfiguran los $\Delta\varphi$.

En la Figura 21 se indica el diagrama de bloques para el primer bypass aplicado para el sistema de reconfiguración.

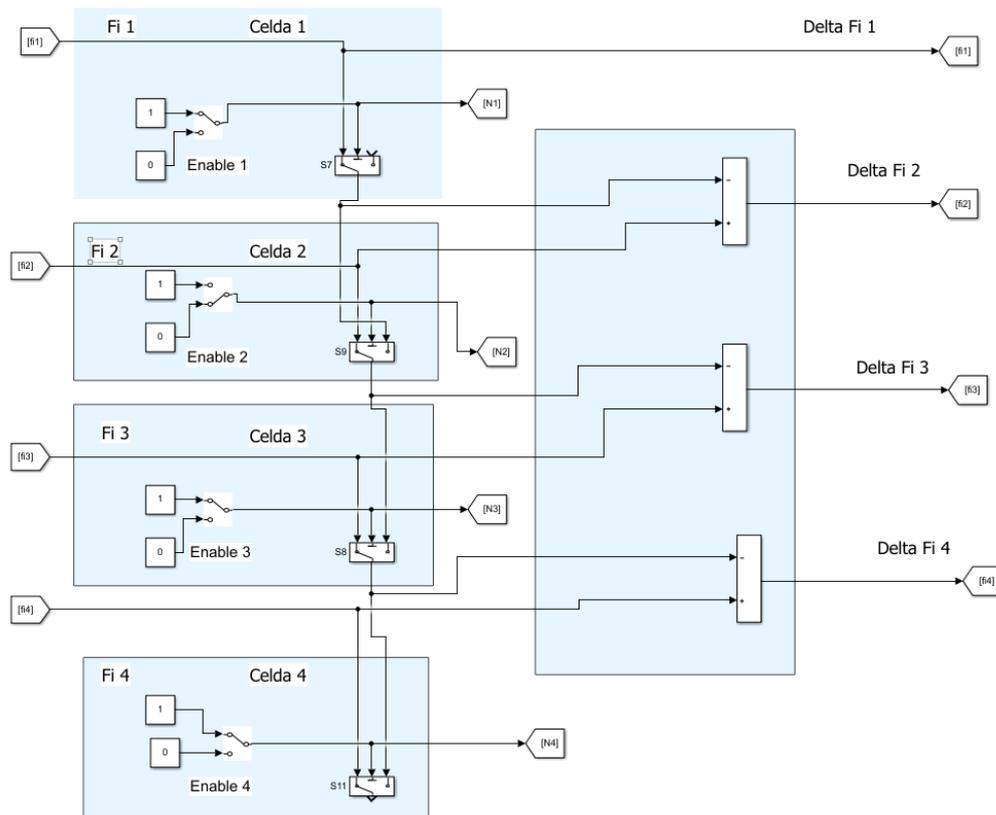


Figura 21. Diagrama de bloques para el primer Bypass.

En la Figura 21 se puede apreciar que el primer bypass comunica si ocurrió una falla en una celda. Teniendo de estas maneras tres casos en los que el sistema de reconfiguración puede operar, esto se puede apreciar en la tabla 3.

Tabla 3.

Casos de reconfiguración de los $\Delta\varphi$

A. No falla ninguna celda	B. Fallo en la celda 1	C. Fallo en la celda 2	D. Fallo en la celda 3
$\begin{pmatrix} \Delta\varphi_1 \\ \Delta\varphi_2 \\ \Delta\varphi_3 \\ \Delta\varphi_4 \end{pmatrix} = \begin{pmatrix} \varphi_1 \\ \varphi_2 - \varphi_1 \\ \varphi_3 - \varphi_2 \\ \varphi_4 - \varphi_3 \end{pmatrix}$	$\begin{pmatrix} \Delta\varphi_2 \\ \Delta\varphi_3 \\ \Delta\varphi_4 \end{pmatrix} = \begin{pmatrix} \varphi_2 \\ \varphi_3 - \varphi_2 \\ \varphi_4 - \varphi_3 \end{pmatrix}$	$\begin{pmatrix} \Delta\varphi_1 \\ \Delta\varphi_3 \\ \Delta\varphi_4 \end{pmatrix} = \begin{pmatrix} \varphi_1 \\ \varphi_3 - \varphi_1 \\ \varphi_4 - \varphi_3 \end{pmatrix}$	$\begin{pmatrix} \Delta\varphi_1 \\ \Delta\varphi_2 \\ \Delta\varphi_4 \end{pmatrix} = \begin{pmatrix} \varphi_1 \\ \varphi_1 - \varphi_2 \\ \varphi_4 - \varphi_2 \end{pmatrix}$

Nota: para este sistema de reconfiguración establecido no es posible tener un fallo en la celda 4 pues el sistema no detectara un desfase entre las señales portadoras. Cuando él se realiza la primera reconfiguración se tiene una señal $\Delta\varphi$ bypassada.

La siguiente etapa es la implementación de un segundo bypass para su simulación; está ubicado después de la salida de los $\Delta\varphi$ bypassados, estos bypass comparten el habilitador a cada entrada de los $\Delta\varphi$, así cuando ocurre una falla el primer filtro reconfigura las señales portadoras y el segundo bypass reconfigura estas señales portadoras reconfiguradas para que ingresen al sistema de control para dichas señales, en la Figura 22 se muestra al segundo bypass con el sistema de control para las señales portadoras.

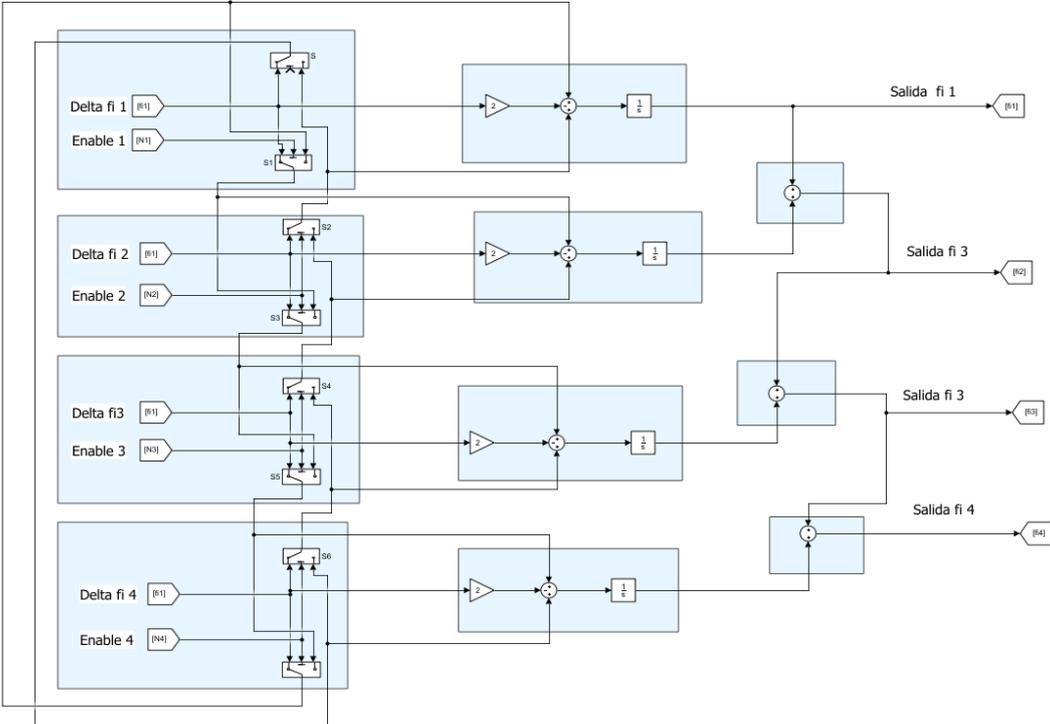


Figura 22. Implementación del segundo bypass con el sistema de control para las señales portadoras.

Acorde a la Figura 22 se muestra la segunda etapa de la implementación del sistema de reconfiguración con lo cual se tiene un sistema tolerante a fallas.

2.11.2 Simulación

La simulación fue realizada usando el software de Matlab Simulink, para la simulación se usó tres osciloscopios del software, el primer y segundo osciloscopio se usaron para observar el funcionamiento del primer bypass y las salidas de las señales portadoras después del sistema de control implementado respectivamente, el segundo osciloscopio se utilizó de observar las salidas de las señales portadoras aplicadas el bypass. La Figura 23a se indica las señales de las portadoras después del primer bypass, la Figura 23b muestra las señales portadoras en el sistema de control.

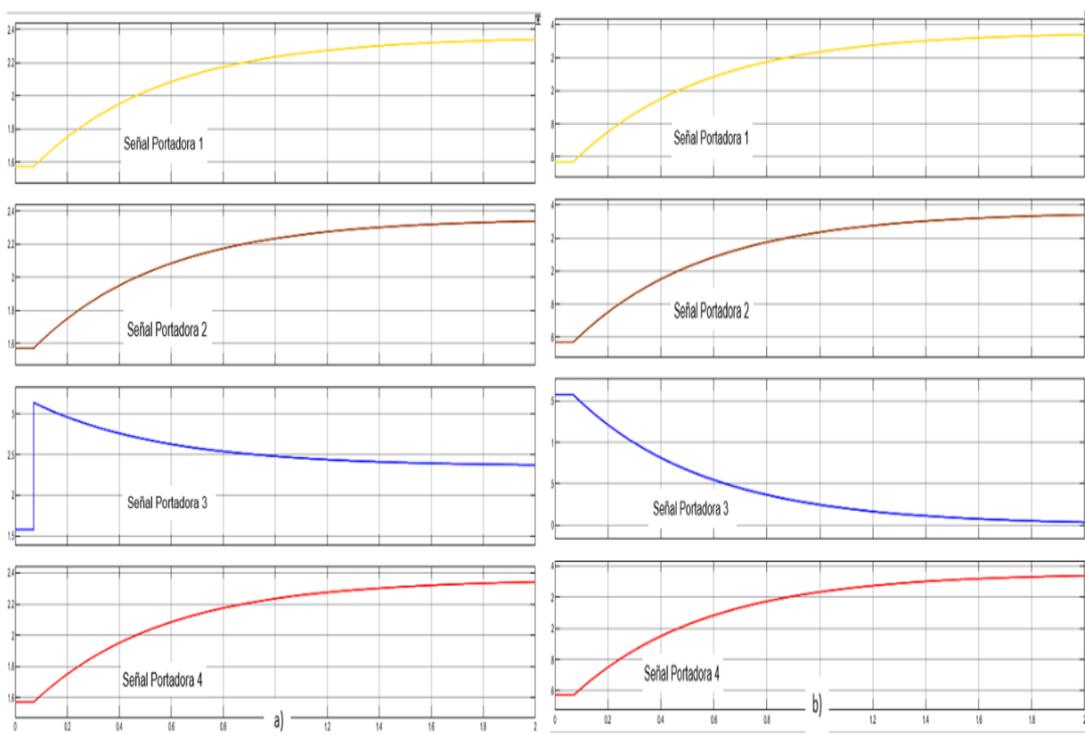


Figura 23. a) Señales portadoras después del primer bypass. b) Señales portadoras después del sistema de control.

Como se muestra en la Figura 23a se indica que ocurrió una falla de la celda 2 en un tiempo n , en la Figura 23b se aprecia que el sistema de control se encargó de reconfigurar a las tres celdas restantes para tener el correcto intercalado de las señales portadoras lo que indica que se reconfiguro las señales que aun funcionan.

La Figura 24 indica la salida de las señales con el sistema de reconfiguración.

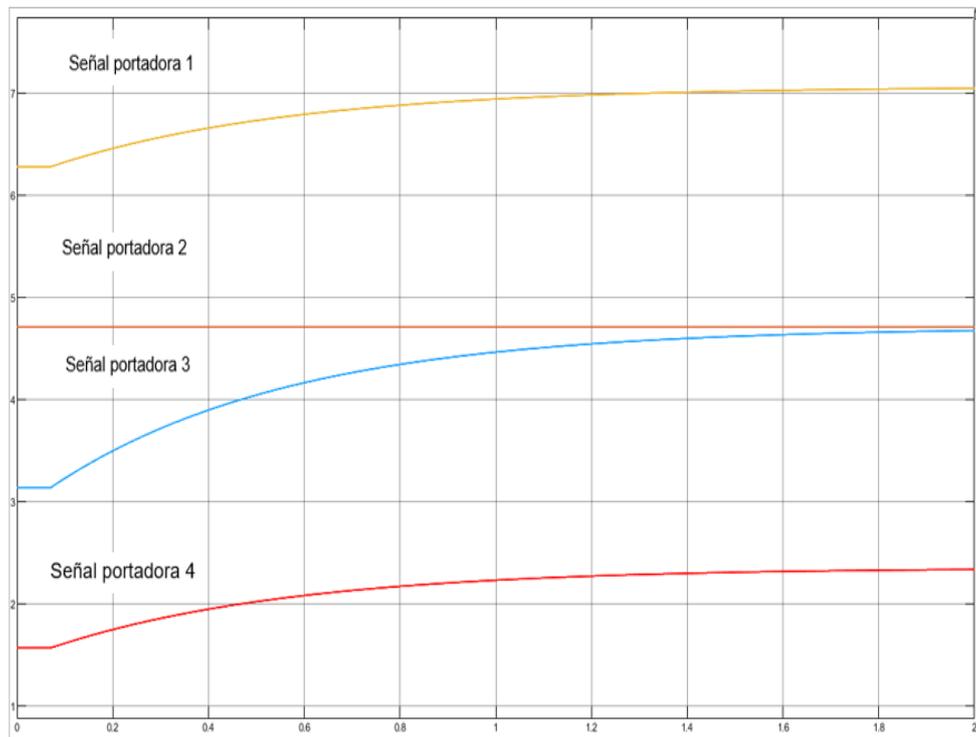


Figura 24. Salidas de las señales portadoras reconfiguradas.

Como se puede apreciar en la Figura 24 las tres señales portadoras de las celdas 1,3, y 4 se desfasan de tal manera que se elimina del sistema a la celda 2 por lo cual el nuevo desfase es de $2\pi/3$. Demostrando así que el sistema de reconfiguración funciona para el convertidor multicelular propuesto.

Capítulo 3

Implementación del convertidor multicelular y sistema intercalado iterativo descentralizado digital

3.Introduccion

En el presente capítulo se realiza la implementación del sistema intercalado iterativo descentralizado digital y el convertidor multicelular, al cual se lo denomino sistema tolerante a fallos; además se muestra el análisis y los resultados obtenidos en las pruebas de voltaje de salida y conmutación de las señales portadoras en los MOSFETS.

La Figura 25 indica el diagrama de bloques para la implementación del sistema de reconfiguración.

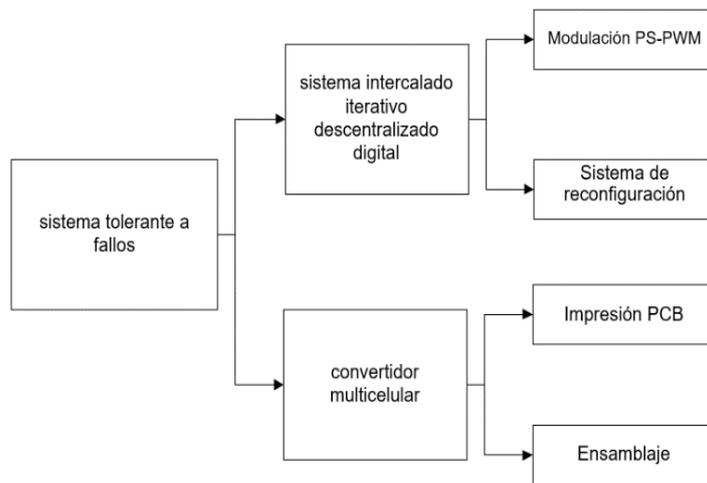


Figura 25. Diagrama de bloques para la implementación del sistema de reconfiguración.

Como se aprecia en la Figura 25, el sistema tolerante a fallos cuenta con dos procesos, los cuales son:

- Proceso de sistema intercalado iterativo digital: encargado de comunicación y reconfiguración entre las señales portadoras.
- Proceso del convertidor multicelular: encargado de elevar el voltaje de salida

3.1 Implementación del sistema intercalado iterativo descentralizado digital

Para la implementación del sistema intercalado iterativo descentralizado digital se realizó una comparativa entre tres placas de desarrollo las cuales son: Arduino, DSP y FPGA respectivamente. Esta comparativa es mostrada en la Tabla 4.

Tabla 4. Comparativa de microcontroladores.

Características	A. Arduino	B. DSP	C. FPGA
Microcontrolador	ATmega2560	TMS320M	10M50DAF484C7G
Resolución de bits	10	16	16
Lenguaje de programación	C, Java, C++	Assembler, C	Vhdl, Verilog, Abel
Software de programación	Arduino IDE	Code Composer Studio	Quartus

Como se visualiza en la Tabla 4 se eligió el FPGA para el desarrollo del sistema de reconfiguración, esto por las características que presenta el Software de programación Quartus el cual permite transformar un código (realizado en cualquier lenguaje de programación que soporta el FPGA), en un diagrama de bloque; donde se puede unir varios bloques en un archivo esquemático. En la Figura 26 se muestra al FPGA DE10-Lite usado para la programación del sistema de reconfiguración.



Figura 26. FPGA DE10-Lite

Además de las características antes mencionadas del FPGA, la disponibilidad en el mercado es inmediata.

3.1.2 Modulación PS-PWM

Para la modulación PS-PWM es necesario tener una banda muerta la cual permite la conmutación entre dos señales portadoras sin que las dos entren en funcionamiento al mismo tiempo para así evitar un fallo. Por ello se elaboraron tres códigos (denominados grupo de modulación); dichos códigos fueron convertidos en bloques y estos son:

- PWM-Sincro: este bloque genera una señal PWM normal e invertida además de un pulso de reloj.
- PWM-Sincro/fase: este bloque genera una señal PWM normal e invertida cuando desfasadas en n grados.
- Retardo: genera en retardo para la generación de banda muerta.

Los códigos para el grupo de modulación se encuentran en el Anexo A, apartado a, apartado b y apartado c respectivamente.

Figura 27a muestra el bloque de la señal PWM-Sincro, la Figura 27b indica el bloque de la señal PWM-Sincro/fase y en la figura 27c se aprecia el boque del retardo.

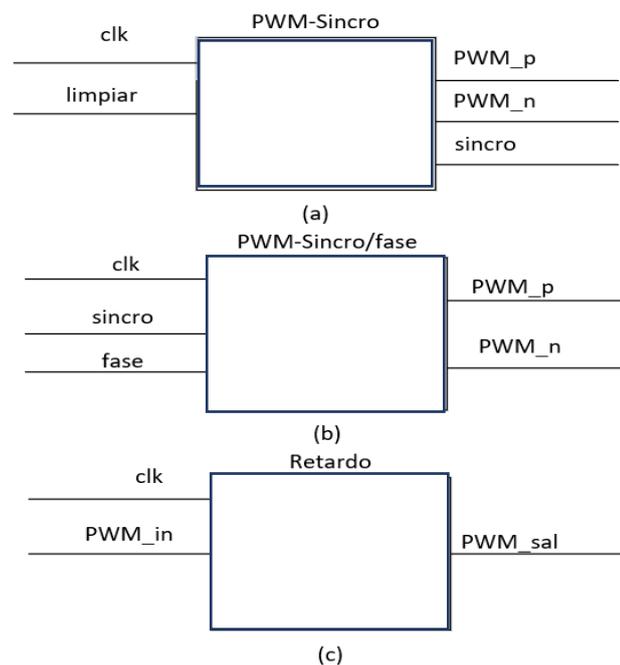


Figura 27. (a) Bloque PWM-Sincro. (b) PWM-Sincro/Fase. (c) Retardo.

Nótese que la variable "clk" se encuentra en la Figura 27a, Figura 27b y la Figura 2c, esto debido a que dicha variable es un reloj interno del FPGA DE10-lite envía flancos ascendentes y descendentes, que sirve como referencia para el funcionamiento de los bloques antes descritos.

Para el desarrollo de los códigos del grupo de modulación se tomó como referencia los flancos ascendentes del reloj interno del FPGA DE10-lite.

La Figura 28 muestra los flancos del reloj interno del FPGA.

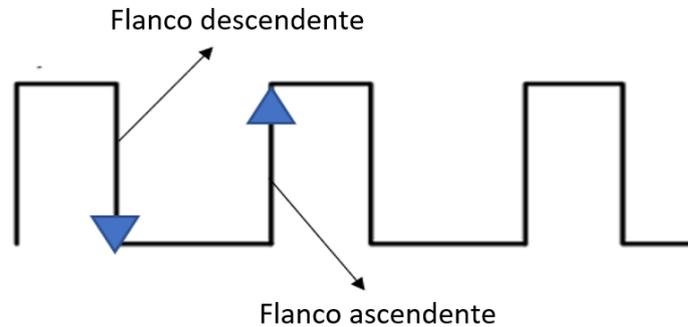


Figura 28. Flancos del reloj interno del FPGA.

Conexión de la modulación PS-PWM

La conexión para la modulación PS-PWM con banda muerta para la K-n celda del convertidor multicelular sigue un patrón estándar el cual se indica en la Figura 29; donde la I-n variable de salida sincro del bloque PWM-Sincro se conecta a la entrada de j-n variable de entrada sincro del n bloque PWM-Sincro/Fase. Para obtener la banda muerta se conecta un bloque de retardo a la salida de las variables "PWM_p" y "PWM_n" del bloque PWM-Sincro/Fase y a la variable de salida "PWM_sal" del bloque retardo se conecta a un terminal de una compuerta and de dos entradas, la entrada faltante se conecta a la misma variable sin estar conectada al bloque retardo, obteniendo de esta manera la modulación antes mencionada.

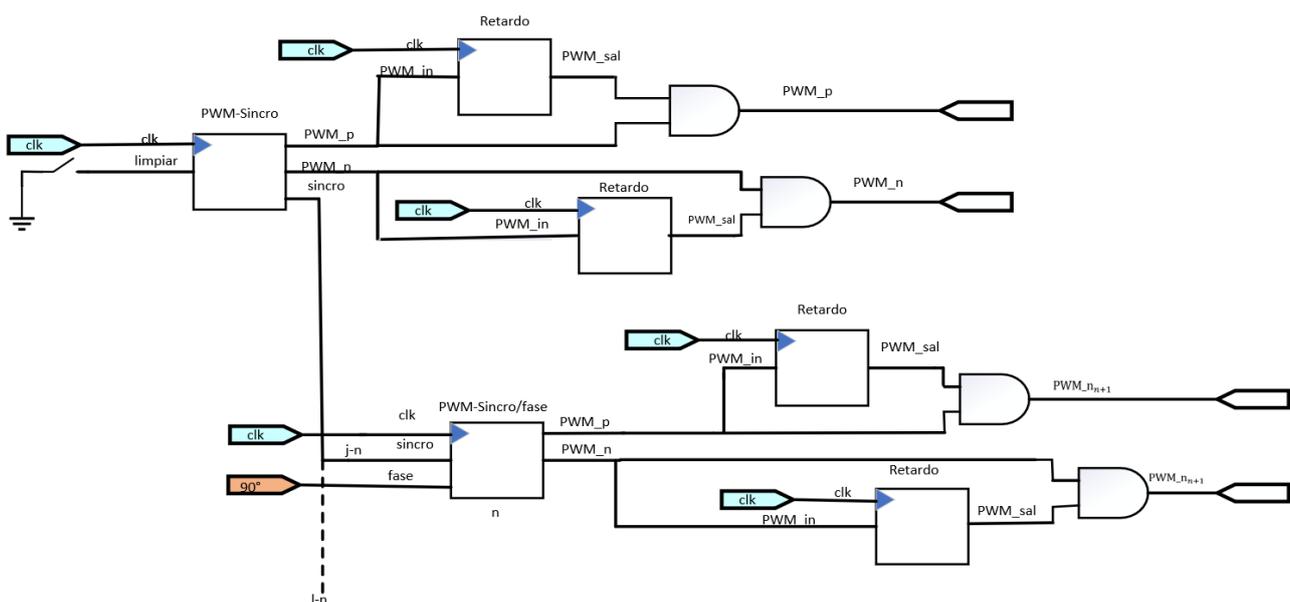
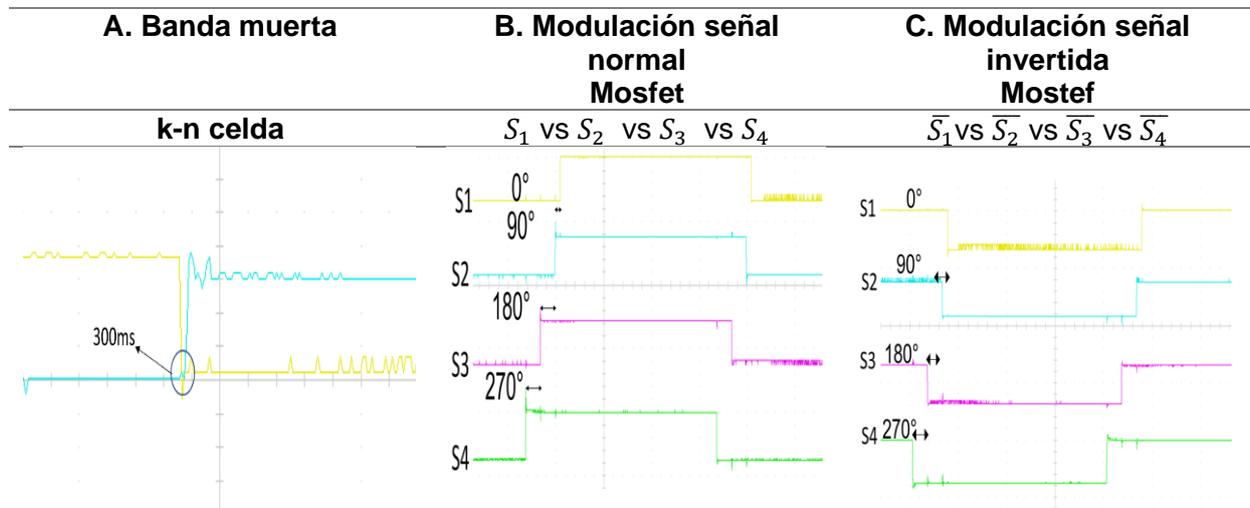


Figura 29. Conexión para la modulación SP-PWM con banda muerta para el convertidor multicelular.

La Tabla 5 muestra la modulación PS-PWM para el convertidor multicelular con banda muerta.

Tabla 5. Modulación PS-PWM con banda muerta



En el apartado A de la tabla 5 se muestra la banda muerta de la k-n celda del convertidor multicelular, dicha banda muerta ocurre en un tiempo de 300ms. El apartado B indica la modulación del MOSFET S_1 que es a 0° , del MOSFET S_2 a 90° , del MOSFET S_3 a 180° y del MOSFET S_4 a 270° . El apartado C enseña la modulación de los MOSFET $\bar{S}_1, \bar{S}_2, \bar{S}_3, \bar{S}_4$ a $0^\circ, 90^\circ, 180^\circ, 270^\circ$ respectivamente.

3.1.3 Reconfiguración

Para la reconfiguración se elaboraron 7 códigos que posteriormente fueron convertidos en bloques. Dichos bloques son:

- Bypass_1: encargado de la comunicación de los ángulos φ , descrito en el capítulo 2.
- Operador/resta-suma: realiza la suma de los correspondientes ángulos φ para obtener los deltas $\Delta\varphi$.
- Bypass_2: encargado de la comunicación del delta $\Delta\varphi$.
- Ganancia: ganancia para el sistema de control.
- Operador/resta-suma-suma: realiza la operación correspondiente para retroalimentación entre el bloque Bypass_2 y el sistema de control.
- Control-integrador: control integrador para el sistema de reconfiguración.
- Operador/suma-suma: opera la suma del Control-integrador.

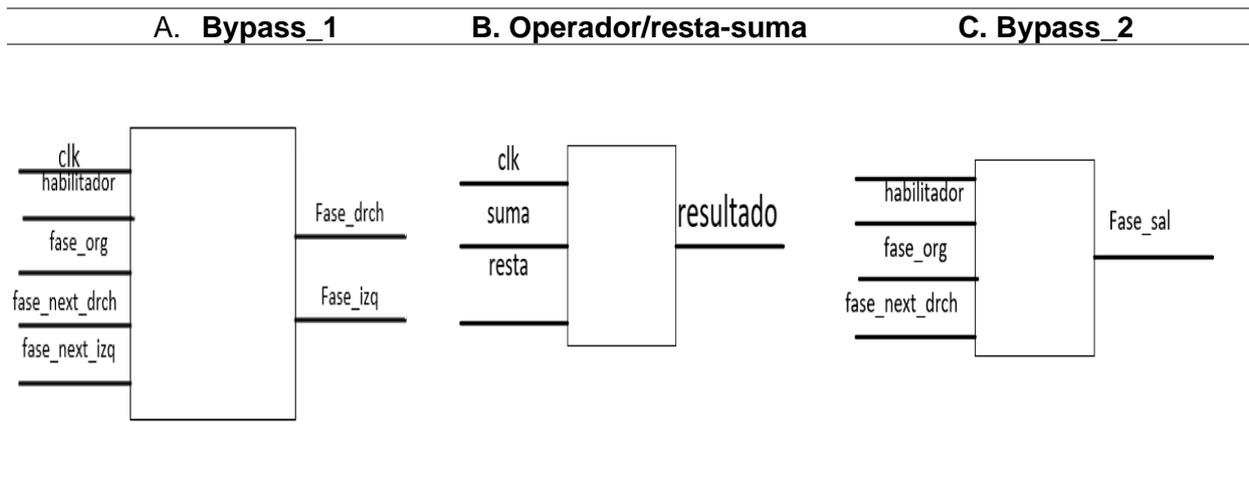
Estos bloques están separados en dos grupos, el primer grupo de comunicación donde están los bloques Bypass_1, Operador/resta-suma y Bypass_2, mientras que en el segundo

grupo del controlador integrador están los bloques: Ganancia, Operador/resta-suma-suma, Control-integrador, Control-integrador.

3.1.3.1 Grupo de comunicación

En el grupo de comunicación consta de tres bloques, los cuales se encargan de realizar toda la comunicación de los ángulos φ y delta $\Delta\varphi$ descritos en la tabla 3 apartado A. La Tabla 6 muestra los bloques que componen grupo denominado comunicación.

Tabla 6. Grupo de comunicación



Nota: Los códigos para los bloques del grupo de comunicación se encuentran en el Anexo B, apartado a, b y c.

La figura 30 muestra el diagrama de conexión de bloques para obtener la comunicación de los ángulos φ y $\Delta\varphi$ para el sistema de reconfiguración.

En la Figura 30 se observa el esquema de conexión del grupo comunicación del sistema de reconfiguración.

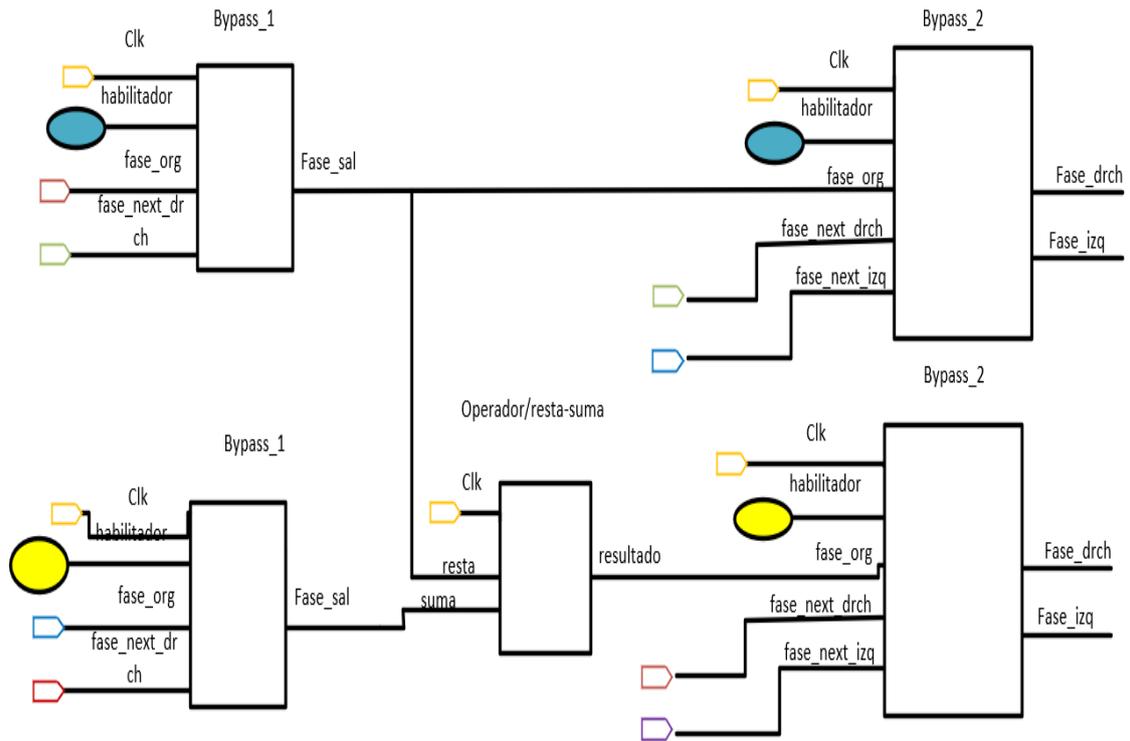


Figura 30. Conexión del grupo comunicación.

Para realizar la conexión del grupo de comunicación, para el bloque denominado Bypass_1 y el bloque Operador/resta-suma se realizó usando la información de la Tabla 3 en el apartado A; mientras que para la conexión del bloque Bypass_2 se usó la información de la ecuación (35). Como se aprecia en la Figura 28 la variable “habilitador” de los bloques Bypass_1 y Bypass_2 se conectan en un solo punto, es decir cada par de los antes mencionados bloques comparten una variable de entrada “habilitador” para cada celda del convertidor multicelular.

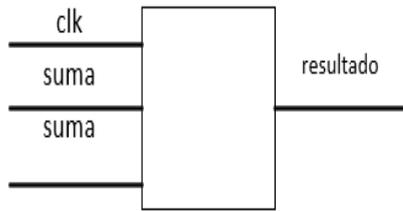
3.1.3.2 Grupo del control integrador

El grupo del control integrador consta de cuatro bloques los cuales se muestran en la Tabla 7.

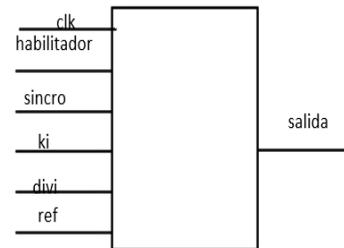
Tabla 7. Bloques del control integral

A. Ganancia	B. Operador/resta-suma-suma

C. Operador/suma-suma



D. Control-integrador



Nota: Los códigos para los bloques del grupo de control integral se encuentran en el Anexo C, apartado a, b, c y d.

El apartado D de la tabla 7, tiene la variable de entrada denominada “sincro” la cual debe conectarse con la variable de salida “sincro” del bloque PWM-Sincro del grupo de modulación, esto se debe porque el bloque Control-integrador únicamente necesita un pulso de reloj que envíe un flanco ascendente para funcionar.

Para la conexión de bloques del grupo del control integral se tomó a las ecuaciones (31), (32), (33) y (34) que es la ley de control para que las señales portadoras, La figura 31 describe el esquema de conexión para el grupo control integral.

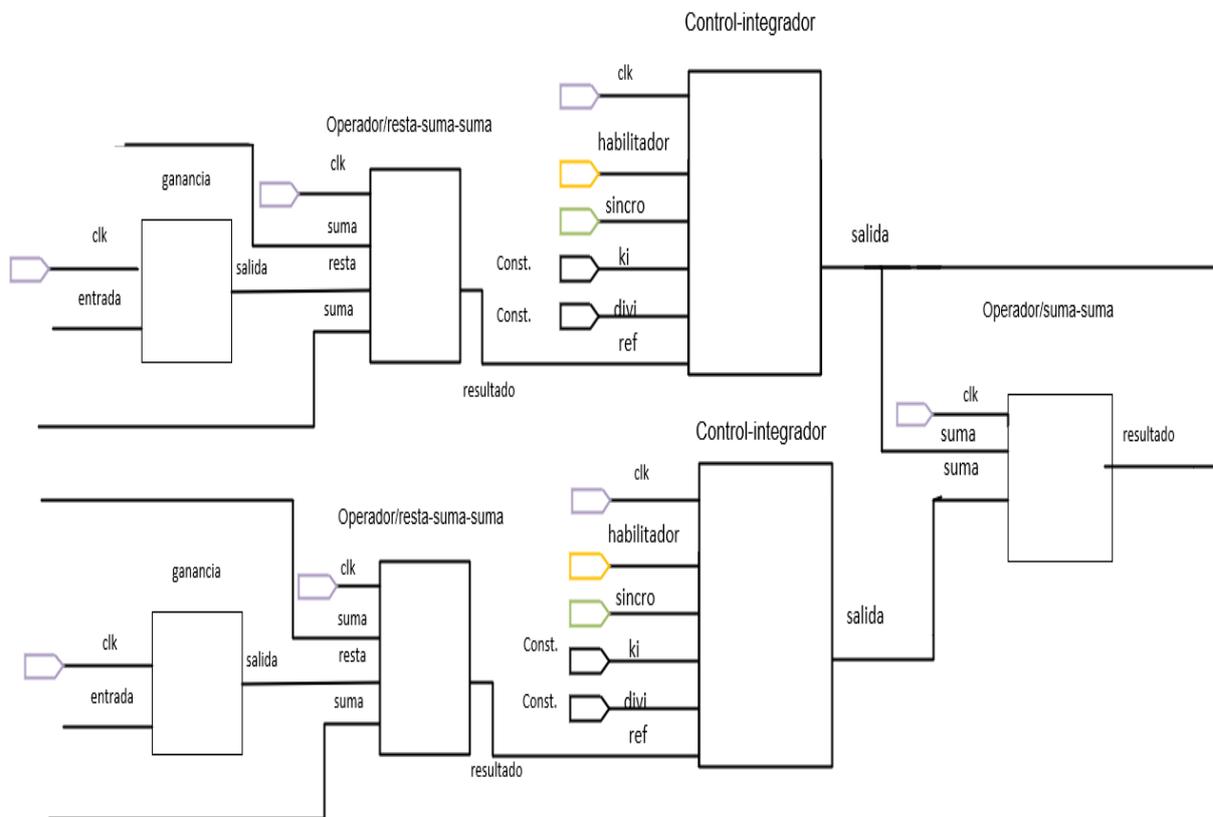


Figura 31. Esquema de conexión para el grupo control integral.

Cabe destacar que el lazo del controlador se cierra con las variables suma del bloque Operador/resta-suma-suma, la cual se aprecia en la figura 31.

3.2 Implementación del convertidor multicelular

Seguidamente se habla sobre la impresión de la tarjeta para el convertidor multicelular y el ensamblaje de los elementos que componen la misma.

Etapa PCB

El convertidor multicelular recibe las señales PWM del FPGA, las cuales activan o desactivan a los transistores de potencia en un tiempo determinado de conmutación (banda muerta).

Las señales PWM generadas por el FPGA tienden a ser débiles por lo cual es necesario tener un driver que amplifica las señales, para que produzca una entrada alta de corriente que active a los transistores de potencia. El driver UCC5320E permite realizar esta amplificación para las señales.

La Figura 32 detalla el circuito para el driver UCC5320E.

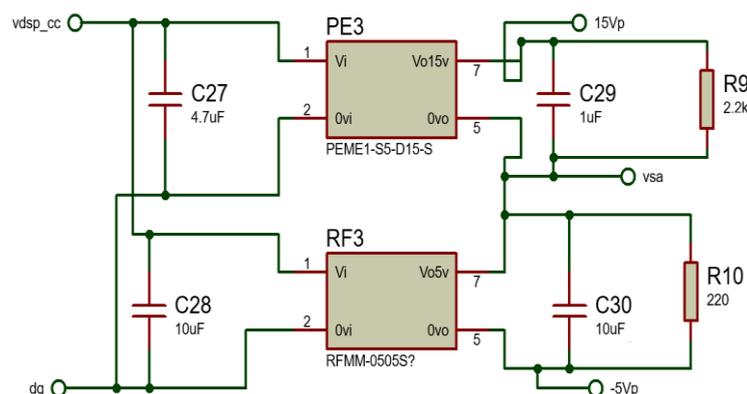


Figura 32. Circuito para el driver UCC5320E.

Acorde a la figura 32 se aprecia que en los pines 2 y 3 se conecta la señal PWM original e inversa respectivamente.

La Figura 33 describe el circuito de conversión de voltaje.

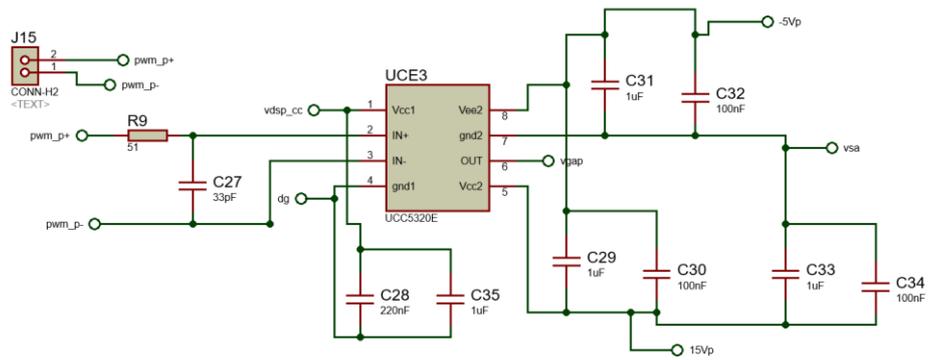


Figura 33. Circuito inversor de voltaje.

Como se aprecia en la Figura 33, el driver PEME1-S5-D15-S necesita un voltaje de 15v positivo, para el driver RFMM-0505S se utiliza un voltaje de 5v, por lo cual es necesario emplear fuentes aisladas de voltaje.

Las salidas del driver se conectan a los MOSFET 30NL0F7, como indica la Figura 34.

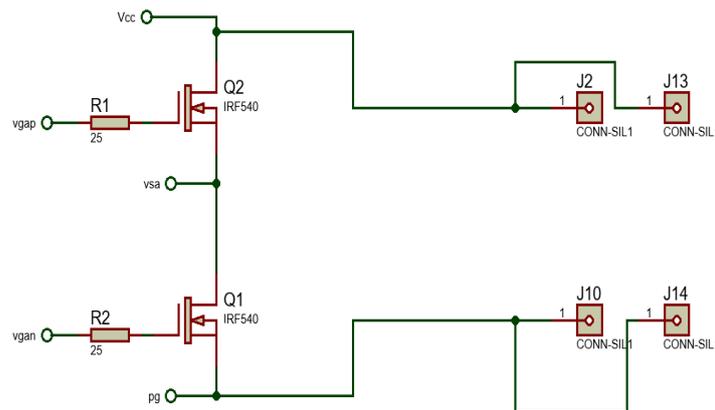


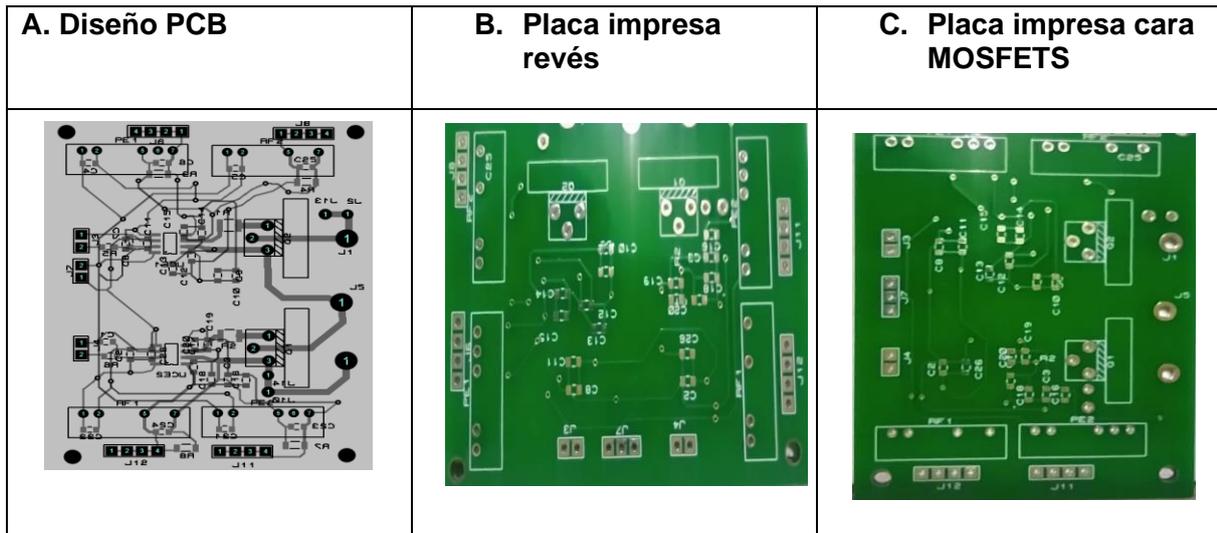
Figura 34. Circuito para generación de pulsos para el MOSFET.

Como el circuito del convertidor es bidireccional se debe realizar el proceso dos veces, de esta manera se puede tener el funcionamiento de los dos elementos al mismo tiempo, esto debido a que se tiene una banda muerta realizada en la modulación PS-PWM.

Para la elaboración de circuito PCB se usó el software de automatización de diseño electrónico Proteus Design Suit, el cual permite la construcción de circuitos electrónicos. La elaboración de dicho circuito se realizó en dos capas esto con la finalidad de reducir el tamaño de la placa y evitar el cruce entre caminos del circuito.

La Tabla 8 muestra la placa del circuito impreso para el convertidor multicelular.

Tabla 8. Tarjeta impresa.



La Figura 35 muestra el resultado del ensamblado de los elementos de una celda que componen el convertidor multicelular.

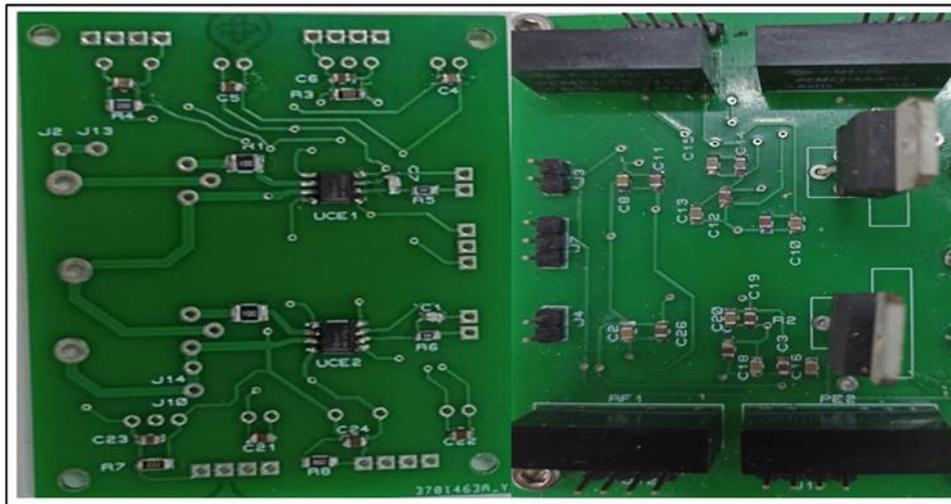


Figura 35. convertidor Boost.

La Tabla 9 muestra los elementos empleados para la fabricación de una celda del convertidor multicelular.

Tabla 9. Componentes para una celda del convertidor multicelular

Cantidad	Descripción
2	Driver UCC5320E
2	Convertidores DC-DC PEME1-S5-D15-S
2	Controladores DC-DC RFMM-0505S
2	MOSFET 25N10F7
1	Capacitor 520uf
1	Capacitor 0.1uf
1	Inductor 1.125Mh
1	Inductor 225uH

La unión de cuatro celdas forma al convertidor multicelular propuesto en la Figura 11. La Figura 36 indica el convertidor multicelular de cuatro celdas conectado en cascada.

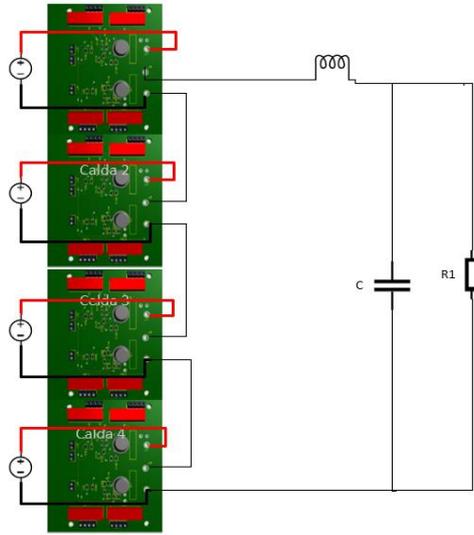


Figura 36. Convertidor multicelular de medio puente H conectado en cascada.

Como se aprecia en la Figura 37, las salidas de los MOSFETS están conectados en serie y las entradas de las mismas están conectadas en paralelo.

3.3 Etapa del del filtro inductivo y capacitivo

En la etapa del inductor se presenta el diseño de dos inductores, el primer inductor para una frecuencia de conmutación de 10KHz y el segundo inductor a una frecuencia de 50KHz, los valores de los inductores son de 1.25uH y 225uH respectivamente.

Para el bobinado se utilizó el conductor se cobre esmaltado calibre 14, La Figura 37a muestra el inductor de 1.25uH, mientras que la figura 37b indica el inductor de 225uH.

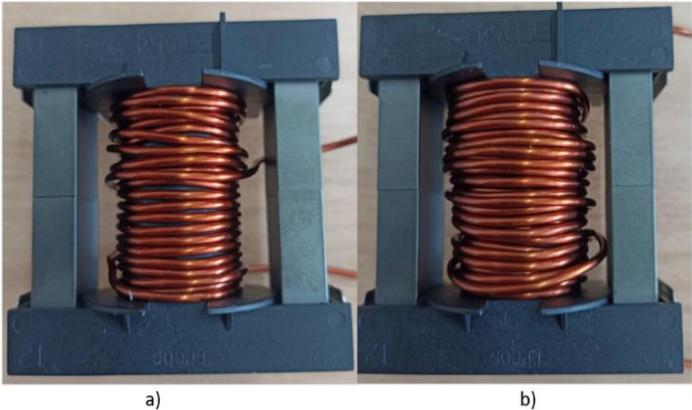


Figura 37. a) Inductor de 1.25uH. b) Inductor 225uH.

Una vez realizado el bobinado se colocó papel aislante sobre el conductor con el fin de evitar posibles daños del mismo. Con la etapa del filtro inductivo, finaliza la implementación del convertidor multicelular y el sistema de reconfiguración. En anexos D se muestra el diagrama de conexiones pictórico del sistema tolerante a fallos.

3.4 Resultados experimentales

La Figura 38 muestra el prototipo implementado en su totalidad.

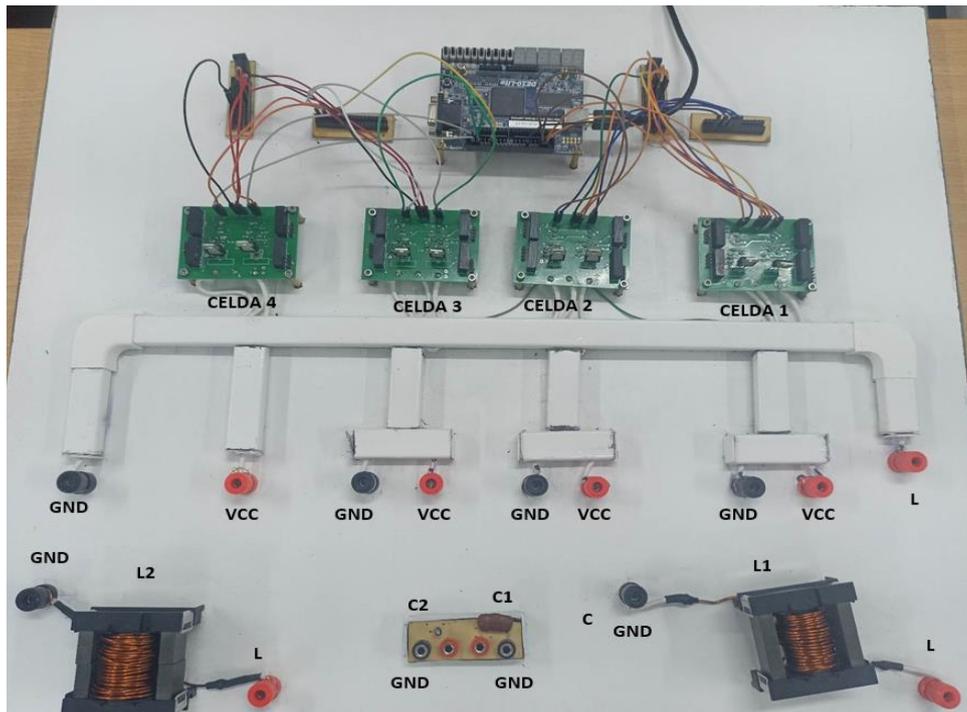


Figura 38. Prototipo implementado.

Las pruebas realizadas fueron tomadas con el osciloscopio Hantek 6074BC de cuatro canales a una escala de 500X, además las puntas diferenciales fueron configuradas a una escala de 500X.

La Figura 39 muestra el funcionamiento de las señales portadoras sin fallo a 10KHz.

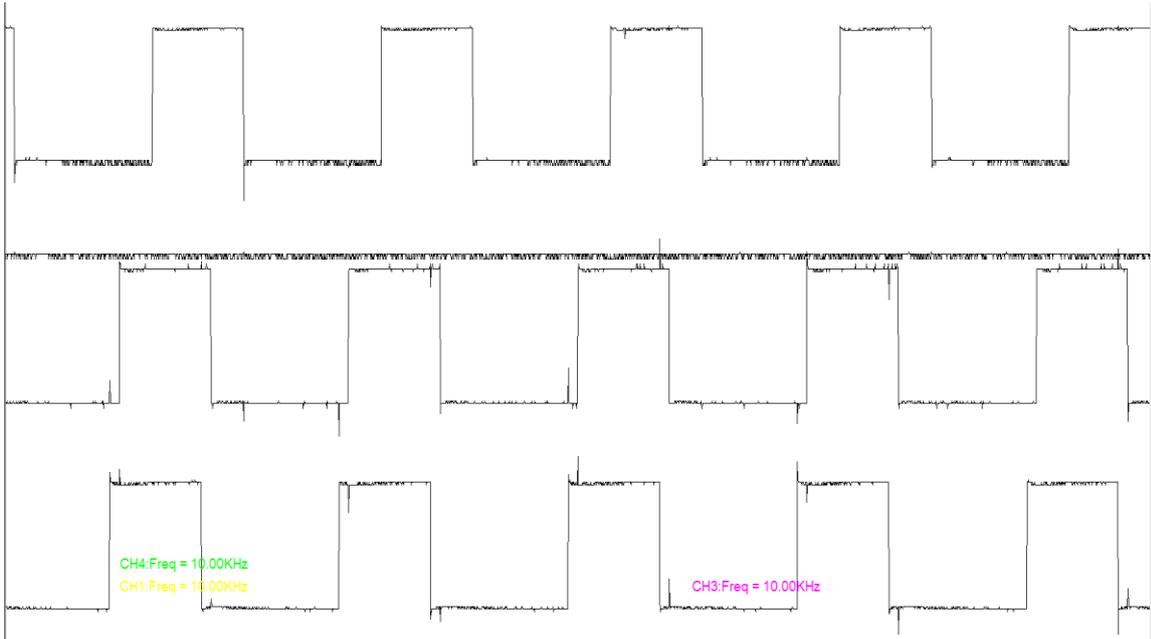


Figura 39. Funcionamiento sin fallo a 10KHz.

Como se aprecia en la Figura 39 cuando no ocurre ningún fallo, el sistema de reconfiguración opera con los parámetros de desfase establecidos (todo el sistema tiene un desfase de $\pi/2$).

la Figura 40 indica el funcionamiento de las señales portadoras cuando la existe un fallo en la celda dos.

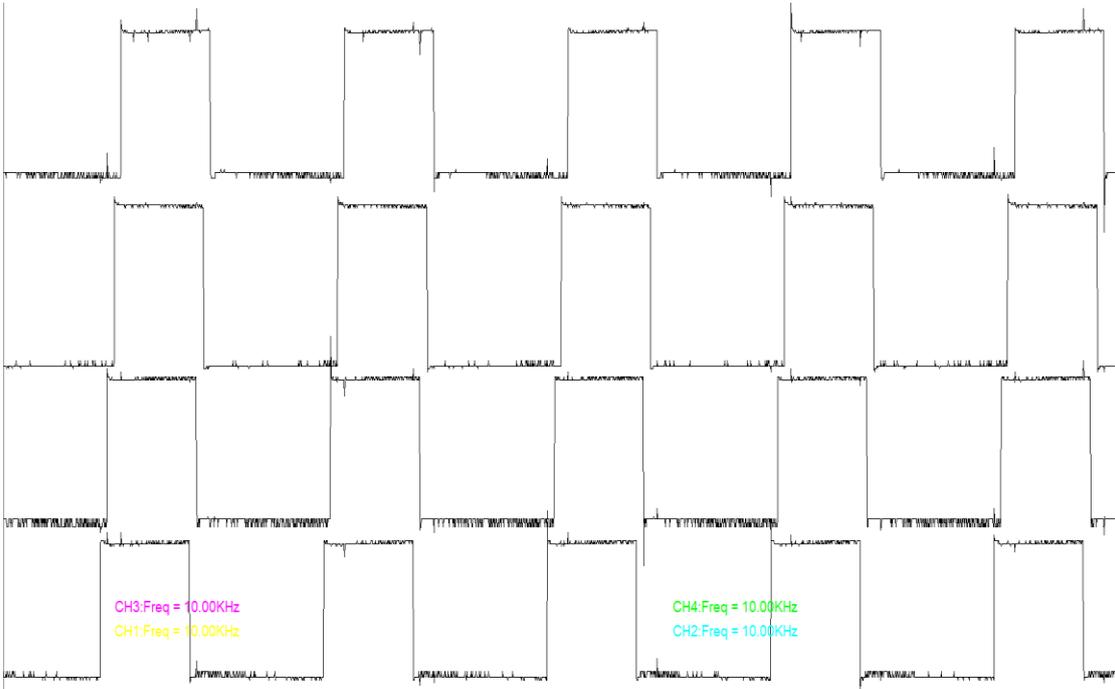


Figura 40. Funcionamiento con fallo en la celda dos a 10KHz.

Cuando el convertidor multicelular tiene una falla en la celda dos el sistema de reconfiguración realiza el intercalado de las celdas restantes para que las mismas puedan converger en un nuevo promedio el cual será de $3\pi/2$ entre señales portadoras.

El voltaje de salida del convertidor multicelular de 48v con lo cual se puede concluir que el valor obtenido tanto en simulación como en implementación es el mismo.

La Figura 41 indica el funcionamiento del convertidor multicelular sin fallos a una frecuencia de conmutación de 50KHz

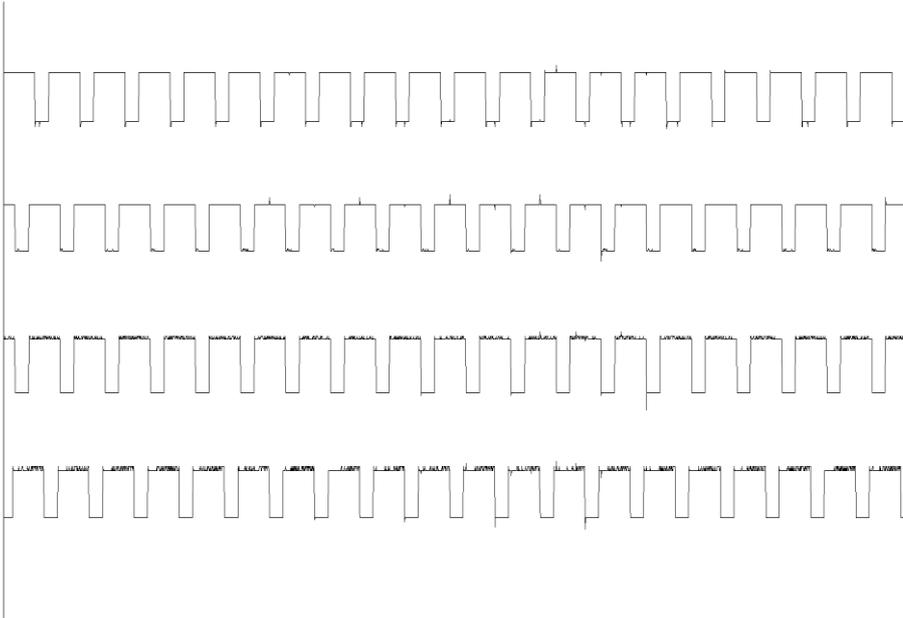


Figura 41. Funcionamiento sin fallos a 50KHz.

La Figura 42 muestra el funcionamiento del convertidor multicelular con un fallo en la celda dos.

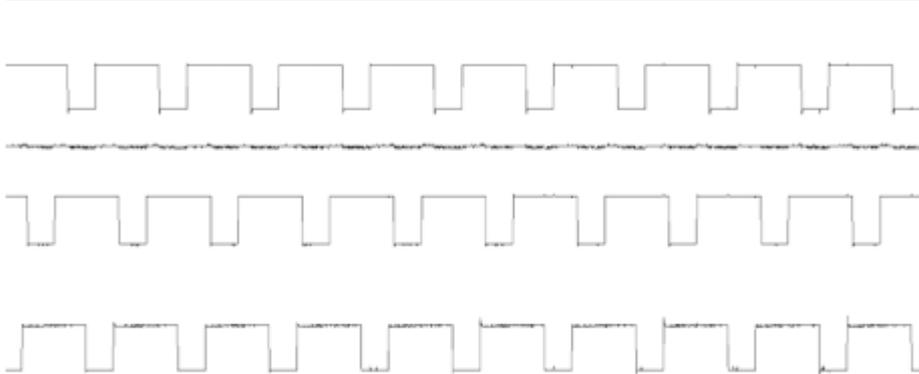


Figura 42. funcionamiento con fallo en la celda dos a 50KHz.

Tanto en pleno funcionamiento, como en funcionamiento con fallo en la celda dos el sistema de reconfiguración actúa de tal manera que el convertidor multicelular funcione con los parámetros de desfase establecidos y con los parámetros de desfase para la reconfiguración.

Debido al ancho de banda del osciloscopio las representaciones de las señales portadoras se ven cuanteadas en tiempo y señal.

La Figura 43 indica el voltaje de salida del convertidor multicelular.

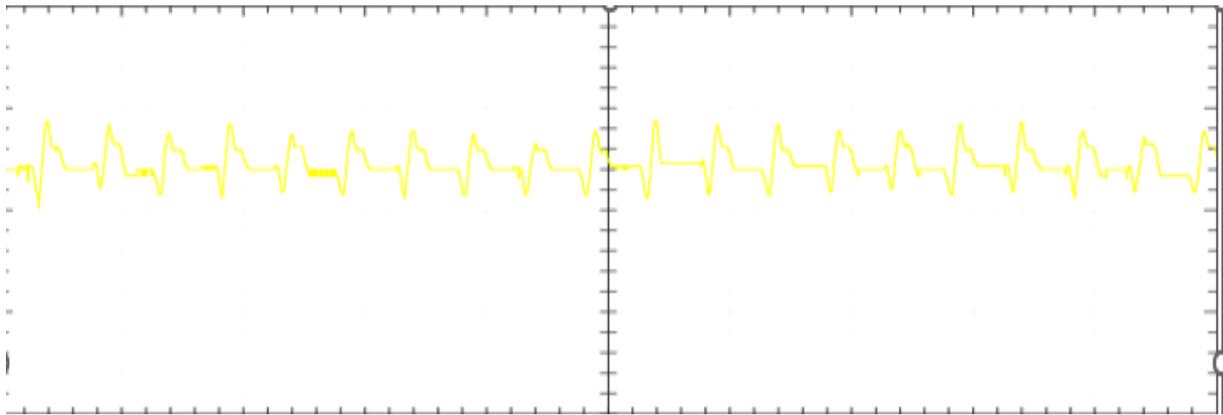


Figura 43. Voltaje de salida del convertidor multicelular.

La Figura 43 muestra el voltaje de salida donde se observa un voltaje pico de aproximadamente 50v y este pico se asienta en 200us para tener un voltaje de salida de 48v según los parámetros eléctricos establecidos.

Conclusiones

- Una vez descritas las topologías de los convertidores electrónicos de potencia se puede concluir que el convertidor multicelular Boost de cuatro celdas de medio puente H conectado en cascada es el más apropiado debido a que el voltaje de fase resultante se sintetiza en la suma de los voltajes generados por cada celda.
- Se pudo concluir que la modulación PS-PWM es la más apropiada para el convertidor multicelular debido a que permite tener una señal de referencia y tres señales portadoras con la misma frecuencia y amplitud desplazadas $\pi/2$, una con respecto de la otra señal portadora. Además, el sistema intercalado iterativo descentralizado digital tiene la capacidad de entrelazar señales y balancear la corriente del inductor lo cual permite una tolerancia a fallos y la toma de decisiones para la reconfiguración de las señales portadoras del convertidor multicelular Boost de medio puente H conectado en cascada.
- Mediante el diseño y simulación realizado en el software Matlab se logró obtener los siguientes resultados:

En las pruebas de simulación del convertidor multicelular se logra evidenciar el rizado de voltaje que aporta cada celda, hace que este sea cuatro veces más pequeño.

Es necesario tener un tiempo muerto para cada celda del convertidor multicelular para la modulación PS-PWM con la finalidad de evitar un cortocircuito, además el sistema intercalado iterativo descentralizado digital, tiene la capacidad de eliminar a una celda del sistema cuando esta entra en fallo, lo cual proporciona una reconfiguración al nuevo sistema con un nuevo desfase para cada señal portadora de $2\pi/3$.

- Una vez realizada la implementación el convertidor multicelular con el sistema de reconfiguración, se realizaron pruebas de funcionamiento concluyendo que dicho convertidor multicelular es adecuado al convertir un voltaje 30Vdc/48Vdc, donde se puede observar que el funcionamiento es el mismo con el fallo de una celda, como sin fallos, demostrando así que se tiene un sistema tolerante a fallos.

Recomendaciones

- Para próximos estudios se podría implementar un sistema de reconfiguración con la capacidad de insertar n celdas al sistema, con la finalidad de hacer a dicho sistema más robusto.

Bibliografía

- Abu Qahouq, J. A., Huang, L., & Huard, D. (2008). Sensorless current sharing analysis and scheme for multiphase converters. *IEEE Transactions on Power Electronics*, 23(5), 2237–2247. <https://doi.org/10.1109/TPEL.2008.2001897>
- Aguilar-López, B. A., Juárez-Abad, J. A., Barahona-Avalos, J. L., Mayoral-Lagunes, R., Linares-Flores, J., & Contreras-Ordaz, M. A. (2020). Control for the output voltage on a flying capacitor multilevel inverter. *Ingenius*, 24, 68–80. <https://doi.org/10.17163/ings.n24.2020.07>
- Armstrong, T. (2003). Multiphase converters. In *Electronic Design* (4th ed., Vol. 51, Issue 8). Elsevier Inc. <https://doi.org/10.1016/b978-0-12-811407-0.00016-7>
- Bai, X., Zhao, M., Zhang, S., Yang, Z., & Wu, X. (2017). A novel current mirror sensing based current balance method for multi-phase buck DC-DC converter. *EDSSC 2017 - 13th IEEE International Conference on Electron Devices and Solid-State Circuits, 2017-Janua*(6), 1–2. <https://doi.org/10.1109/EDSSC.2017.8126439>
- Calais, M., Borle, L. J., & Agelidis, V. G. (2001). Analysis of multicarrier PWM methods for a single-phase five level inverter. *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 3, 1351–1356. <https://doi.org/10.1109/pesc.2001.954308>
- Castro de, A., Alou, P., & Cobos, J. A. (2009). Current Self-Balance Mechanism in Multiphase Buck Converter. *IEEE Transactions on Power Electronics*, 24(6), 1600–1606. <https://doi.org/10.1109/TPEL.2009.2013859>
- Dash, S. S., & Nayak, B. (2015). Control analysis and experimental verification of a practical dc–dc boost converter. *Journal of Electrical Systems and Information Technology*, 2(3), 378–390. <https://doi.org/10.1016/j.jesit.2015.08.001>
- Distefano, Joseph J., Allen R. Stubberud, W. J. W. (2013). *FEEDBACK and CONTROL SYSTEMS* (3rd ed.). McGRAW-HILL.
- Fossas, E. (1996). Study of chaos in the buck converter. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 43(1), 13–25. <https://doi.org/10.1109/81.481457>
- Gateau, G., Maussion, P., Meyniard, T., & Upresa, C. N. R. S. (1997). *Fuzzy Phase Control of Series Multicell Converters*. 1627–1633. <https://doi.org/10.1109>
- Hart, D. W. (2001). *ELECTRÓNICA DE POTENCIA* (A. B. B. E. O. Ruiz & A. L. B. J. P. Guerra (eds.); primera ed).

- Hasan, N. S., Rosmin, N., Osman, D. A. A., & Musta'amal@Jamal, A. H. (2017). Reviews on multilevel converter and modulation techniques. *Renewable and Sustainable Energy Reviews*, 80(May), 163–174. <https://doi.org/10.1016/j.rser.2017.05.163>
- Hillesheim, M. M., Cousineau, M., & Hureau, L. (2019). ReconFigurable Partial-Decentralized Control of a Multiphase Converter for Fail-Operational Automotive Processor Power Supply. *2019 21st European Conference on Power Electronics and Applications, EPE 2019 ECCE Europe*, 1–8. <https://doi.org/10.23919/EPE.2019.8915561>
- Kim, J. W., Shin, J. W., & Ha, J. I. (2013). Cell balancing control using adjusted filters in flyback converter with single switch. *2013 IEEE Energy Conversion Congress and Exposition, ECCE 2013*, 287–291. <https://doi.org/10.1109/ECCE.2013.6646713>
- Lawan, A. U., & Abbas, H. M. (2016). Level shifted PWMs comparison for a 5-level modular multilevel converter (MMC) topology inverter. *2015 IEEE Conference on Sustainable Utilization and Development in Engineering and Technology, CSUDET 2015, Mmc*, 48–53. <https://doi.org/10.1109/CSUDET.2015.7446224>
- Mohan Ned, U. T. M. y P. R. W. (2009). *ELECTRÓNICA DE POTENCIA Convertidores, aplicaciones y diseño* (McGrawHill (ed.)).
- Mohand, N. (2003). *First Courses on Power Electronic and drives* (2003 editi). MNPERE.
- Namoodiri, A., & Wani, H. (2014). Unipolar and Bipolar PWM Inverter. *IJIRSRT - International Journal for Innovative Research in Science & Technology*, 1(7), 7. <http://www.ijirst.org/articles/IJIRSTV1I7111.pdf>
- Pelaéz, J., Tobón, A., & Herrera, J. (2014). Análisis de la estabilidad de un convertidor buck multicelular de dos celdas. *Revista Mutis*, 4(2), 26–34. <https://doi.org/10.21789/22561498.954>
- Peláez Restrepo, J. (2011). Contribución al estudio de la dinámica y control de un convertidor buck de dos celdas de conmutación. *TDX (Tesis Doctorals En Xarxa)*. <http://www.tdx.cat/handle/10803/52801>
- Peláez Restrepo, J., Herrera Cuartas, J. A., & I., S. G. S. (2013). Convertidor DC / AC Multinivel de Tres Celdas: Modelado y Simulación Converter DC / AC Multilevel of Three Cells : Modeling and Simulation. *Revista Tecnológicas*, 2(1), 315–324.
- Phan, Q. D., Gateau, G., Cousineau, M., Veit, L., De Milly, R., & Mannes-Hillesheim, M. (2020). Ultra-fast decentralized self-aligned carrier principle for multiphase/multilevel converters. *Proceedings of the IEEE International Conference on Industrial Technology, 2020-Febru(1)*, 517–522. <https://doi.org/10.1109/ICIT45562.2020.9067108>

- Rashid, M. H. (2004). *Electrónica de Potencia: Circuitos, Dispositivos y Aplicaciones*. In Pearson (Ed.), *Electrónica de Potencia* (2ed.).
- Renani, E. T., Elias, M. F. M., & Rahim, N. A. (2014). Performance evaluation of multicarrier PWM methods for cascaded H-bridge multilevel inverter. *IET Seminar Digest, 2014(CP659)*, 1–5. <https://doi.org/10.1049/cp.2014.1455>
- Rodríguez José, Lai Jih-Sheng, P. F. Z. (2008). A structure theorem for perfect abundant semigroups. *Asian-European Journal of Mathematics*, 1(1), 69–76. <https://doi.org/10.1142/S1793557108000072>
- Sedghi, S., Dastfan, A., & Ahmadyfard, A. (2011). A new multilevel carrier based pulse width modulation method for modular multilevel inverter. *8th International Conference on Power Electronics - ECCE Asia: "Green World with Power Electronics", ICPE 2011-ECCE Asia*, 1432–1439. <https://doi.org/10.1109/ICPE.2011.5944452>
- Shahrouz, E. (2016). Five-level Cascaded H-Bridge Inverter with Predictive Current Control. *Bulletin de La Société Royale Des Sciences de Liège*, 85(205), 79–95. <https://doi.org/10.25518/0037-9565.5184>
- Tolbert, L. M., & Habetier, T. G. (1999). Novel multilevel inverter carrier-based PWM method. *IEEE Transactions on Industry Applications*, 35(5), 1098–1107. <https://doi.org/10.1109/28.793371>
- Wang, Y., Aksoz, A., Geury, T., Ozturk, S. B., Kivanc, O. C., & Hegazy, O. (2020). A review of modular multilevel converters for stationary applications. *Applied Sciences (Switzerland)*, 10(21), 1–36. <https://doi.org/10.3390/app10217719>
- Yenes, A., Muñoz, D., & Pereda, J. (2015). Optimal asymmetry for cascaded multilevel converter with cross-connected half-bridges. *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*, 1795–1800. <https://doi.org/10.1109/IECON.2015.7392361>

ANEXOS

A. *Códigos de los bloques de modulación*

En esta sección se presentan los códigos que componen el grupo de modulación.

a. PWM-Sincro

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
use IEEE.numeric_std.ALL;
```

```
entity pwm_sincro1 is
```

```
    port( phase: in unsigned(15 downto 0);
```

```
          sincro: in std_logic;
```

```
          clock : in STD_LOGIC;
```

```
          pwmout_p : out STD_LOGIC;
```

```
          pwmout_n: out STD_LOGIC);
```

```
end pwm_sincro1;
```

```
architecture pwm of pwm_sincro1 is
```

```
    signal cnt:unsigned (15 downto 0);
```

```
    constant cmp: unsigned (15 downto 0):=x"0DAC";
```

```
begin
```

```
    process(clock,phase,sincro) begin
```

```
        if ( sincro='1') then
```

```
            cnt<=x"1388"- phase;
```

```
        elsif rising_edge(clock) then
```

```
            if cnt<x"1388" then cnt<=cnt+x"0001";
```

```
        else
```

```
            cnt<=x"0000";
```

```
        end if;
```

```
    end if;
```

```
end process;  
pwmout_p <= '1' when cnt<cmp else '0';  
pwmout_n <= '1' when cnt>cmp else '0';  
end pwm;
```

b. PWM-Sincro/fase

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.numeric_std.ALL;

entity pwm_sincronismo is
    port(
        clock : in STD_LOGIC;
        clear : in std_logic;
        pwmout_p : out STD_LOGIC;
        pwmout_n: out STD_LOGIC;
        sincro_sal:out std_logic );
end pwm_sincronismo;

architecture pwm of pwm_sincronismo is
    signal cnt:unsigned (15 downto 0);
    constant cmp: unsigned (15 downto 0):=x"0DAC";
begin
    process(clock,clear ) begin
        if (clear = '1') then
            cnt<=x"0000";

            elsif rising_edge(clock) then
                if cnt<x"1388" then cnt<=cnt+x"0001";
            else
                cnt<=x"0000";
            end if ;
        end if;
    end process;
end pwm_sincronismo;
```

```
end process;
    pwmout_p <= '1' when cnt < cmp else '0';
    pwmout_n <= '1' when cnt > cmp else '0';
    sincro_sal <= '1' when cnt < x"0001" else '0';
end pwm;
```

c. Retardo

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
entity delay is port( clock: in std_logic;
```

```
    pwm_in: in std_logic;
```

```
    pwm_out: out std_logic);
```

```
end delay ;
```

```
architecture retardo of delay is
```

```
begin
```

```
    process(clock)
```

```
    begin
```

```
        if (clock'event and clock='1') then
```

```
            pwm_out<= transport pwm_in after 300 ms;
```

```
        end if;
```

```
    end process;
```

```
end retardo;
```

B. Códigos de bloques del grupo de comunicación

a. Bypass_1

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.numeric_std.ALL;
entity bypass_origin is
port (enable: in std_logic;
      phase_origin: in unsigned ( 15 downto 0);
      phase_next_drch: unsigned ( 15 downto 0);
      phase_salida : out unsigned ( 15 downto 0));
end bypass_origin;
architecture paso of bypass_origin is
begin
process( enable)
begin
if ( enable='1') then
phase_salida<=phase_origin;
end if ;
if ( enable= '0') then
phase_salida<= phase_next_drch;
end if ;
end process;
end paso;
```

b. Operador/resta-suma

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.numeric_std.ALL;
entity suma_fases is
port( fase_1: in unsigned (15 downto 0);
      fase_2: in unsigned (15 downto 0);
      fase_sum: out unsigned (15 downto 0) );
end suma_fases;
architecture sumando of suma_fases is
begin
fase_sum <= fase_1-fase_2;
end sumando;
```

c. Bypass_2

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
use IEEE.numeric_std.ALL;
```

```
entity bypass is
```

```
port (enable: in std_logic;
```

```
      phase_origin: in unsigned ( 15 downto 0);
```

```
      phase_next_drch:in unsigned ( 15 downto 0);
```

```
      phase_next_izq:in unsigned ( 15 downto 0);
```

```
      phase_izq : out unsigned ( 15 downto 0);
```

```
      phase_drch: out unsigned ( 15 downto 0) );
```

```
end bypass;
```

```
architecture paso of bypass is
```

```
begin
```

```
process( enable)
```

```
begin
```

```
if ( enable='1') then
```

```
    phase_izq <= phase_origin;
```

```
    phase_drch <= phase_origin;
```

```
end if ;
```

```
if ( enable= '0') then
```

```
    phase_drch <= phase_next_izq;
```

```
    phase_izq <= phase_next_drch ;
```

```
end if ;
```

```
end process;
```

```
end paso;
```

C. Código de bloques del grupo control integral

a. Ganancia

```
library IEEE;

use IEEE.STD_LOGIC_1164.ALL;

use IEEE.numeric_std.ALL;

entity gain is
port( clock: in std_logic;
ent : in unsigned ( 15 downto 0);
sal : out unsigned (31 downto 0) );
end gain;

architecture ganancia of gain is
signal aux : unsigned (15 downto 0);
constant gain : integer:=2;
begin
process(clock)
begin
if rising_edge(clock) then
aux <= ent;
sal<=(gain*aux);
end if;
end process;
end ganancia;
```

b. Operador/resta-suma-suma

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
use IEEE.numeric_std.ALL;
```

```
entity opeador_control is
```

```
port( clock : in std_logic;
```

```
      suma1: in unsigned ( 15 downto 0);
```

```
      suma2 : in unsigned (15 downto 0);
```

```
          resta :in unsigned (15 downto 0);
```

```
          resultado: out unsigned ( 15 downto 0));
```

```
end opeador_control;
```

```
architecture operaciones of opeador_control is
```

```
begin
```

```
process( clock)
```

```
begin
```

```
if (clock'event and clock='1') then
```

```
resultado<= suma1 + suma2-resta;
```

```
end if;
```

```
end process ;
```

```
end operaciones;
```

c. Control-integral

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.all;
```

```
use ieee.std_logic_unsigned.all;
```

```
use IEEE.NUMERIC_STD.all;
```

```
ENTITY control_i IS
```

```
PORT (sincro, clear : IN std_logic;
```

```
ref : IN std_logic_vector (15 DOWNT0 0);
```

```
u : OUT std_logic_vector(15 DOWNT0 0) );
```

```
END control_i;
```

```
ARCHITECTURE control OF control_i IS
```

```
signal uk , ref1: std_logic_vector(31 DOWNT0 0);
```

```
signal k1: std_logic_vector(15 DOWNT0 0);
```

```
BEGIN
```

```
PROCESS (sincro) IS
```

```
BEGIN
```

```
if clear='1' then
```

```
uk<=x"00000000";
```

```
u<=x"0000";
```

```
elsif rising_edge(sincro) then
```

```
--ref1<=std_logic_vector (to_unsigned(to_integer (unsigned  
(ref))*to_integer(unsigned(k1)),16));
```

```
uk<=uk+k1*ref;
```

```
u<=uk(15 downto 0);
```

```
end if;
```

```
END PROCESS;
```

```
END control;
```

d. Operador/suma-suma

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
use IEEE.numeric_std.ALL;
```

```
entity suma_fases is
```

```
port( fase_1: in unsigned (15 downto 0);
```

```
      fase_2: in unsigned (15 downto 0);
```

```
      fase_sum: out unsigned (15 downto 0) );
```

```
end suma_fases;
```

```
architecture sumando of suma_fases is
```

```
begin
```

```
  fase_sum <= fase_1+fase_2;
```

```
end sumando;
```

D. Diagrama de conexión pictórico

