



UNIVERSIDAD TÉCNICA DEL NORTE

FACULTAD DE INGENIERÍA EN CIENCIAS APLICADAS

CARRERA DE INGENIERÍA EN MECATRÓNICA

TRABAJO DE GRADO PREVIO A LA OBTENCIÓN DEL TÍTULO
DE INGENIERO EN MECATRÓNICA

TEMA:

“CONTROL DE FASE PARA SINCRONIZACIÓN DE INVERSORES
FUENTE DE VOLTAJE”

AUTOR: LENIN FERNANDO OROZCO VILLA

DIRECTOR: CARLOS XAVIER ROSERO CHANDI

IBARRA-ECUADOR
2022



UNIVERSIDAD TÉCNICA DEL NORTE
BIBLIOTECA UNIVERSITARIA
AUTORIZACIÓN DE USO Y PUBLICACIÓN A FAVOR DE LA
UNIVERSIDAD TÉCNICA DEL NORTE

1. IDENTIFICACIÓN DE LA OBRA

En cumplimiento del Art. 144 de la Ley de Educación Superior, hago entrega del presente trabajo a la Universidad Técnica del Norte para que sea publicado en el Repositorio Digital Institucional, para lo cual pongo a disposición la siguiente información:

DATOS DEL AUTOR			
CÉDULA DE IDENTIDAD:	0401943659		
APELLIDOS Y NOMBRES:	OROZCO VILLA LENIN FERNANDO		
DIRECCIÓN:	Juan Ramón Jimenez y Gabriela Mistral, Tulcán		
EMAIL:	lforozcov@utn.edu.ec		
TELÉFONO FIJO:	236 – 437	TELÉFONO MÓVIL:	0985383682
DATOS DE LA OBRA			
TÍTULO:	“CONTROL DE FASE PARA SINCRONIZACIÓN DE INVERSORES FUENTE DE VOLTAJE”		
AUTOR:	LENIN FERNANDO OROZCO VILLA		
FECHA (AAAA-MM-DD):	2022-07-20		
SÓLO PARA TRABAJOS DE GRADO			
PROGRAMA:	PREGRADO		
TÍTULO POR EL QUE OPTA:	INGENIERO EN MECATRÓNICA		
ASESOR/DIRECTOR:	CARLOS XAVIER ROSERO C.		

2. CONSTANCIAS

El autor manifiesta que la obra objeto de la presente autorización se desarrolló sin violar derechos de autor de terceros, por lo tanto es original, y que es el titular de los derechos patrimoniales, por lo que asume la responsabilidad sobre el contenido de la misma y saldrá en defensa de la Universidad en caso de reclamación por parte de terceros.

Ibarra, a los 20 días del mes de julio de 2022.



Lenin Fernando Orozco Villa
C.I.: 0401943659



UNIVERSIDAD TÉCNICA DEL NORTE
FACULTAD DE INGENIERÍA EN CIENCIAS APLICADAS
CERTIFICACIÓN

En calidad de director del trabajo de grado “CONTROL DE FASE PARA SINCRONIZACIÓN DE INVERSORES FUENTE DE VOLTAJE”, presentado por el egresado LENIN FERNANDO OROZCO VILLA, para optar por el título de Ingeniero en Mecatrónica, certifico que el mencionado proyecto fue realizado bajo mi dirección.

Ibarra, a los 20 días del mes de julio de 2022.

Carlos Xavier Rosero Chandi
DIRECTOR DE TESIS

Agradecimiento

Primeramente, agradezco a Dios por darme la sabiduría, salud y vida para poder culminar este proceso.

A mis padres Nancy y Fernando, por su ayuda incondicional a lo largo de toda mi carrera estudiantil.

A mis hermanos Henry y Sebastián, por siempre estar pendientes de mi y por la motivación que tengo hacia ellos.

A mis profesores, por compartir sus conocimientos teóricos y prácticos en beneficio de sus estudiantes.

A mis compañeros y amigos, por ser el soporte académico y emocional durante mi carrera universitaria.

Dedicatoria

Dedico este trabajo de grado a mis padres Nancy y Fernando, por sus palabras de aliento, su entrega y sacrificio, gracias por brindarme todo lo que necesité, gracias a su ayuda he logrado cumplir mis metas y objetivos.

Los amo mucho, Lenin

Resumen

El alto potencial de energías renovables que existen a lo largo del territorio ecuatoriano ha sugerido la implementación de microrredes de bajo coste que ayuden a satisfacer la demanda eléctrica del país o inclusive proveer de este servicio básico a comunidades alejadas. El problema que aquejan estas microrredes es al momento de conectar un nuevo inversor a esta red, específicamente en el proceso de sincronización. Por tal motivo, con la finalidad de lograr esta sincronización se han creado algoritmos de control que trabajen de la mano con electrónica de potencia, ciertamente unos mejores que otros, con diferentes aplicaciones y necesidades. Los algoritmos de lazo de enganche de fase o PLL del inglés Phase Locked Loop, son los más empleados en la actualidad y los que presentan mayor fiabilidad. Bajo estas premisas, el presente trabajo tiene como objetivo el diseño de un PLL capaz de sincronizar un inversor a una microrred. Para el cumplimiento de este objetivo se analiza la literatura existente para optar por el lazo de control que mejor se acople a la necesidad del problema planteado, posteriormente, se procede al moldeado y diseño del lazo de control para finalmente someterlo a varias pruebas de funcionamiento con ayuda de software matemático. De tal manera que se pueda garantizar una solución a la problemática planteada en este trabajo de grado, el lazo de enganche de fase en marco de referencia síncrono o SRF-PLL del inglés Synchronous Reference Frame Phase Locked Loop es el que mejor desempeño presenta después de haber sido sometido a múltiples pruebas y por tanto el seleccionado en el presente trabajo de grado.

Índice general

1. Introducción	1
1.1. Problema	1
1.2. Objetivos	3
1.2.1. Objetivo general	3
1.2.2. Objetivos específicos	3
1.3. Alcance	3
1.4. Justificación	4
2. Revisión literaria	6
2.1. Generalidades sobre las microrredes	6
2.2. Marcos de referencia para corriente alterna	9
2.2.1. Natural (ABC)	10
2.2.2. Estacionario ($\alpha\beta$)	10
2.2.3. Síncrono (dq)	11
2.3. Esquemas de control en una microrred	11

2.3.1.	Control Proporcional Integral	12
2.3.2.	Control Proporcional Resonante	12
2.3.3.	Control Dead-Beat	13
2.4.	Sincronización de inversores	13
2.4.1.	Cruce por cero	14
2.4.2.	Filtrado de voltaje	14
2.4.3.	Phase locked loop (PLL)	15
2.4.4.	Comparativa de métodos de sincronización	15
2.5.	Propuesta	19
3.	Modelado y diseño del controlador	20
3.1.	Diagrama de bloques de la propuesta	20
3.1.1.	Detector de fase (DF)	22
3.1.2.	Filtro (LF)	22
3.1.3.	Oscilador controlado por voltaje (VCO)	23
3.2.	Funciones de transferencia	25
3.3.	Principales parámetros del PLL	28
3.4.	PLL en marco de referencia síncrono	30
3.5.	Controlador PI	33
4.	Resultados experimentales	35
4.1.	Pruebas del controlador	35

4.1.1.	Estabilidad del sistema	38
4.1.2.	Sensibilidad del sistema	40
4.2.	Implementación del lazo de control	43
4.2.1.	Simulación de PLL	43
4.2.2.	Perturbación en el sistema	48
4.3.	Análisis de resultados	49
5.	Conclusiones	51
5.1.	Conclusiones	51
5.2.	Recomendaciones	52
5.3.	Trabajo futuro	52

Capítulo 1

Introducción

1.1. Problema

Ecuador es un país muy rico en recursos naturales, gracias a la variedad de regiones existentes en el país se puede encontrar múltiples fuentes renovables capaces de sustituir a los típicos combustibles fósiles cuyo uso aceleran el deterioro del medio ambiente [1]. Las fuentes renovables se pueden encontrar a lo largo y ancho del territorio nacional, tales como fuentes eólicas en la región insular y en la región sierra-sur, fuentes hidráulicas en la sierra y Amazonía, fuentes fotovoltaicas en la costa, y también otros tipos de fuentes renovables tales como geotérmicas, biomasa y biogás [2].

Con la presencia de estas fuentes renovables en el país se pueden implementar microrredes aisladas capaces de reducir el daño al medio ambiente, así como mejorar el sistema energético de las ciudades, ya que este tipo de redes eléctricas se centra en la generación de energía eléctrica mediante el uso de fuentes amigables con el ambiente. Gracias a las microrredes aisladas se puede suministrar energía eléctrica en lugares remotos o en zonas donde la red pública no

cumpla con las necesidades de los consumidores, otra gran ventaja de las microrredes es que al estar cercanas al consumidor no presenta pérdidas en su transporte [3].

Una microrred se define como la interconexión de fuentes de generación distribuida (DGS, Distributed Generation Sources) con sus respectivas cargas [4]. Cada grupo fuente-carga se llama nodo y se puede interconectar en una misma red gracias a los inversores, entre los más destacados, inversores fuentes de voltaje (VSI, Voltage Source Inverters) [5], [6]. Existe la posibilidad de que en algún momento se necesite conectar un nuevo DGS a una microrred ya en funcionamiento para que aporte con potencia adicional. En este caso el VSI de esa DGS se conecta asincrónicamente (desfasado) y por lo tanto toda la fuente de generación no sería útil y en el peor de los casos el VSI podría dañarse, lo cual representa una pérdida considerable de recursos [7], [8].

Con base al problema anterior, es necesario diseñar un lazo de control de fase para la sincronización de un VSI insertado en una microrred ya en funcionamiento, que garantice el eficiente aporte de potencia de ese inversor a la red. Con el desarrollo de este trabajo se espera dar un paso importante hacia la implementación de microrredes de bajo costo en el Ecuador para reducir el consumo eléctrico y por ende disminuir la contaminación ambiental.

1.2. Objetivos

1.2.1. Objetivo general

Desarrollar un sistema de control de fase para la sincronización de un inversor fuente de voltaje conectado en caliente a una microrred eléctrica.

1.2.2. Objetivos específicos

- Determinar la estrategia de control para la sincronización de inversores en base al análisis del estado del arte.
- Diseñar el lazo cerrado de control basados en el dominio de la frecuencia y con la ayuda de software matemático.
- Implementar el lazo de control de fase y analizar su desempeño mediante pruebas de funcionamiento.

1.3. Alcance

En el presente proyecto se desarrollará un controlador capaz de sincronizar el voltaje generado por un VSI con el voltaje de referencia proporcionado por una microrred aislada. Para esto diseñará un lazo de control de fase que brinde confiabilidad y funcione de manera óptima según los requerimientos planteados. El controlador para ajuste de fase asegurará la disminución del error de fase en estado estacionario y la eliminación del ruido. A este lazo de control se anexarán etapas de comparación de fase y de un oscilador controlado por voltaje capaz de producir

una señal de salida de frecuencia proporcional a un voltaje de entrada. Finalmente se realizará un análisis del rendimiento del lazo de control mediante pruebas en simulación con ayuda de software matemático.

1.4. Justificación

Es de suma importancia diseñar una estrategia de control que permita el acople en caliente de un nuevo inversor a una microrred en funcionamiento, sin el lazo de control el inversor fuente de voltaje no podrá sincronizarse y en consecuencia no brindará la potencia activa y reactiva que la microrred necesita, en definitiva, el inversor quedará inservible. El control para ajuste de fase es una muy buena opción, pues su arquitectura consta de diferentes etapas que avalan una buena sincronización, con estabilidad, fiabilidad y rápida respuesta [9].

Las microrredes poseen un campo muy amplio de aplicaciones en áreas remotas, lugares donde el suministro de energía presenta demasiados retos en cuanto a transmisión y distribución [4].

Además, las microrredes buscan disminuir el impacto ambiental en el ámbito eléctrico mediante el uso masivo de generadores con fuentes renovables (hidráulica, eólica, térmica, solar etc.) con la finalidad de autoabastecerse y operar de forma aislada en el caso de fallar la red principal [5].

Ecuador posee todo el potencial necesario para comenzar con la implementación de microrredes de bajo costo en lugares remotos o inclusive en ciudades que ya cuentan con una red eléctrica principal, la razón es la riqueza de fuentes renovables que posee a lo largo y ancho de su territorio, por lo cual se puede generar mayor cantidad de energía eléctrica y satisfacer las necesidades del consumidor final de una forma más rápida y sobre todo amigable con el ambiente.

Una de las motivaciones principales que impulsa el desarrollo de este trabajo de grado es aplicar el conocimiento adquirido durante toda la carrera para resolver un problema del entorno local, aplicando ingeniería.

Capítulo 2

Revisión literaria

En este capítulo se hará una revisión sobre el estado del arte existente en la literatura referente a los métodos de sincronización de un inversor fuente de voltaje y los tipos de control que se puede aplicar, todo lo anterior con la finalidad de plantear un lazo de control que sea eficiente y confiable y sobre todo cumpla con los requerimientos del sistema.

2.1. Generalidades sobre las microrredes

Una microrred se define como un sistema de generación eléctrica la cual se encarga de distribuir electricidad desde un proveedor hacia diferentes consumidores, empleando tecnología digital e integrando fuentes de energías renovables (fotovoltaica, hidráulica, eólica, etc.) con la finalidad de ahorrar energía, reducir considerablemente los costos e incrementar la fiabilidad [10].

Las microrredes están compuestas de diferentes elementos, en [10] detallan los siguientes: sistemas de generación distribuida, sistemas de almacenamiento y cargas. En [12] explica que una microrred es un sistema conformado por fuentes de generación distribuida (DGS) interconectados, estas DGS constan de una fuente de energía y un convertidor. Las DGS, las cargas y las unidades de almacenamiento interactúan entre sí, comportándose como un solo sistema, esta interacción también incluye a los dispositivos de control y protección anexados a la microrred. En la Figura 2.1 se puede observar los elementos que conforman una microrred.

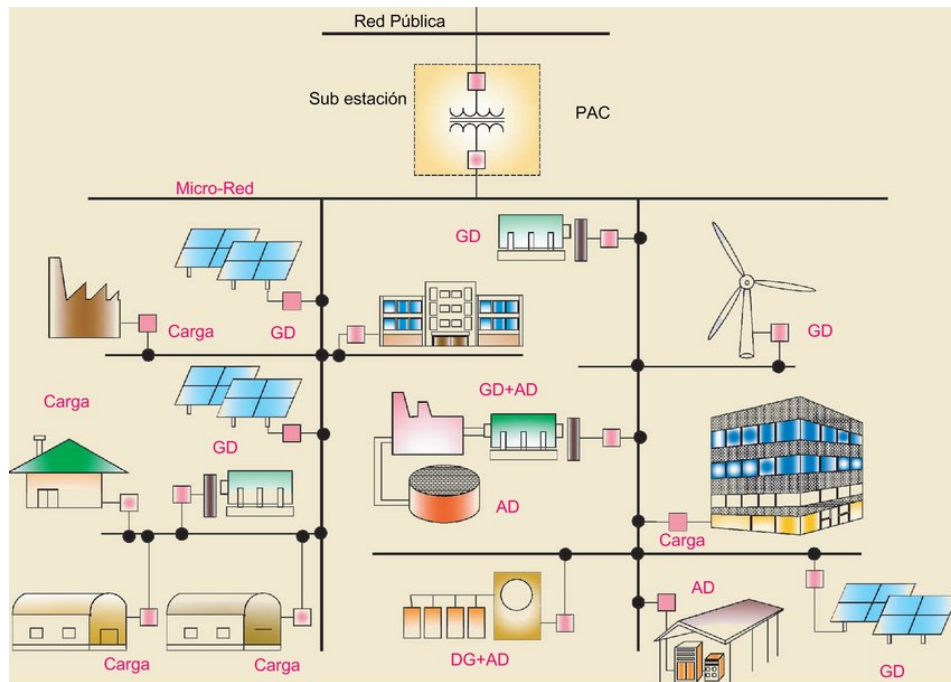


Figura 2.1: Elementos de una Microrred [11]

Una microrred se puede operar de dos modos: modo conectado a la red y modo aislado, en el primer caso la red principal es la encargada de suministrar electricidad a los diferentes elementos de la microrred mientras que el modo aislado es netamente autosustentable, las fuentes

de energía renovable son las encargadas de generar la electricidad que se suministra a los elementos de la microrred, sin embargo, existe un gran desafío en brindar una tensión y frecuencia acorde a los parámetros de calidad.

Basados en el modo de operación de la microrred los convertidores de energía se pueden presentar de dos formas. En el modo aislado, uno o más convertidores de energía son encargados de regular el voltaje de la red es decir actúan como fuentes de voltaje (VSI por sus siglas en inglés, voltage source inverters) también se los conoce como conversores network-forming. Por otro lado, en modo conectado a la red los convertidores de energía actúan como seguidores de voltaje, el voltaje a seguir será el proporcionado por la red principal, en otras palabras, el convertidor funciona como una fuente controlada de corriente (CSI por sus siglas en inglés, current source inverters) o también llamados conversores network-feeding [3]. Estos dos esquemas se pueden observar de mejor manera en la Figura 2.2. En [13] se recalca algo muy importante, los VSI no solo proporciona referencias de voltaje sino también de frecuencia, estos parámetros deberían ser dados por la red principal y los CSI se encargan de satisfacer la potencia demandada por la microrred.

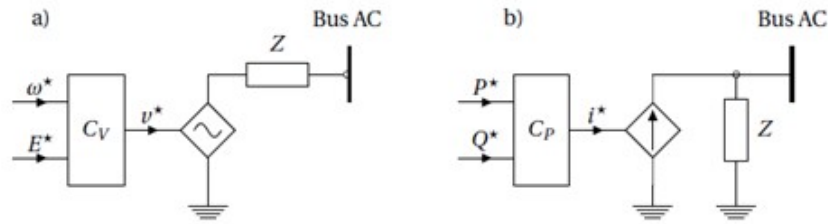


Figura 2.2: Esquemas básicos de conexión de convertidores. a) network-forming. b) network-feeding. [13]

Es de importancia recalcar que en una microrred aislada debe existir por lo menos una fuente de generación distribuida (DGS) operando como network-forming, por el simple hecho que sin un elemento como este no existiría un voltaje de referencia al cual se sincronicen los otros convertidores, es decir, los inversores network-feeding quedarían obsoletos en una microrred aislada ya que no pueden operar de manera independiente. De esta manera surgen la conexión llamada “maestro-esclavo”, en la cual un VSI opera como maestro y a el se acoplan otros inversores y también la conexión llamada “multimaestro” donde existen más de un VSI.

2.2. Marcos de referencia para corriente alterna

En el análisis de conversores DC/AC o inversores, se posee tres sistemas o marcos de referencia, el primero es el marco natural (ABC) que a breves palabras se puede decir que son las tres fases proporcionadas por una señal trifásica, el marco estacionario ($\alpha\beta$) el cual entrega dos valores de fase de una señal bifásica partiendo de una trifásica mediante la Transformada de Clarke y finalmente el marco síncrono (dq) que transforma la señal bifásica a dos variables

de control en DC mediante la transformada de Park.

El uso de los marcos de referencia depende principalmente del esquema de control que se realice, por citar un ejemplo, los cambios de frecuencia de una señal deterioran la acción de control de un controlador PI, es decir va a ocasionar errores, por tal motivo la opción más acertada es modelar el sistema en el marco de referencia síncrono pues las variables de control están en DC [14].

2.2.1. Natural (ABC)

El marco de referencia natural no es más que las señales trifásicas provenientes de la red de distribución o señal de referencia en el caso de una microrred aislada, claramente el diseño de un controlador en este marco referencial se complica demasiado pues se va a tener un error estacionario alto debido a las tres señales sinusoidales.

2.2.2. Estacionario ($\alpha\beta$)

Este marco de referencia presenta una gran ventaja al pasar un sistema trifásico a un sistema bifásico ortogonal con ayuda de la transformada de Clarke. Cabe recalcar que las señales mantienen un comportamiento oscilatorio con componentes separadas 90° . Sin embargo, la sincronización del inversor sigue dificultándose pues los controladores aún reciben señales sinusoidales haciendo que el error en estado estacionario sea mayor.

2.2.3. Síncrono (dq)

El marco o sistema de referencia síncrono permite transformar la señal bifásica ortogonal de tipo sinusoidal a un sistema bifásico estacionario, en otras palabras, transforma las señales sinusoidales en señales tipo escalón o DC mediante la transformada de Park, esto permite un diseño más fácil del controlador y obviamente funciones de menor orden. Al emplear señales DC como variables de control permite abrir una gran variedad de controladores y eso se ve reflejado en la literatura, pues la mayoría emplea el marco dq para sincronizar inversores. El funcionamiento se centra en las componentes d y q , donde d añade información sobre la amplitud, mientras que la variable q determina la fase de la señal [15].

2.3. Esquemas de control en una microrred

Para controlar una microrred en su totalidad, el control se divide en tres: control primario, secundario y terciario. El control primario también conocido como control local o interno, se caracteriza por poseer la respuesta más rápida; el control secundario está ligado a la administración de energía, por lo tanto tiene mucho que ver con el funcionamiento de la microrred desde el punto de vista técnico y económico, en modo aislado este control presenta mayores desafíos. Por último, el control terciario es el nivel más importante de control, es el responsable de la interacción de los componentes locales e informar las necesidades de la microrred.

En el presente trabajo, es de interés el control de los inversores, los cuales pertenecen al

control primario. Para la elección del tipo de control a aplicar se puede clasificar según el marco de referencia utilizado. El marco de referencia síncrono está ligado al uso de componentes DC por tanto los controladores PI (Proporcional Integrativo) suelen ser los más utilizados, por otro lado en el marco de referencia estacionario se manejan muchos más componentes en AC donde se puede implementar controladores PR (Proporcional Resonante), por último, en el marco de referencia natural se puede utilizar controles PR, histéresis, máquina virtual o tiempo muerto [15], [16].

2.3.1. Control Proporcional Integral

Este tipo de control es el más empleado en un marco de referencia síncrono, esto se debe a que si se emplea en otro marco de referencia donde las componentes son AC, el control PI no puede seguir una referencia senoidal donde el error en estado estacionario sea cero, de igual manera no tiene la capacidad de rechazar las perturbaciones. En respuesta a esto, el control PI se vale de las componentes DC que maneja el marco de referencia síncrono, de esta manera al ser valores de corriente directa si se puede obtener cero en el error de estado estacionario, finalmente, si el lazo de control se cierra se obtiene un buen rechazo a las perturbaciones [16].

2.3.2. Control Proporcional Resonante

Este tipo de controlador se puede emplear en marco de referencia estacionario o natural, siendo este último el más sencillo de usar, pues el controlador ya se encuentra en un marco de referencia estacionario, lo cual permite la implementación de tres controladores (una para cada

fase). El funcionamiento de este tipo de controlador radica en introducir en la frecuencia de resonancia una ganancia infinita [15].

2.3.3. Control Dead-Beat

Este control se caracteriza por tratar de eliminar el error con un retardo, el control regula la corriente con la finalidad de alcanzar la señal de referencia antes de que finalice un ciclo de conmutación, por lo cual genera el retraso. Este retraso puede ser compensado con un observador introducido en la estructura del controlador [16].

2.4. Sincronización de inversores

La sincronización de un inversor es de suma importancia para el acople a una microrred, sin este proceso es imposible que un inversor fuente de voltaje proporcione la potencia activa y reactiva necesarios para la operatividad de esta, en cortas palabras el inversor queda inservible.

Por lo tanto, para poder suministrar corriente eléctrica desde un inversor fuentes de voltaje (VSI) es necesario llevar un proceso de sincronización para lo cual se debe cumplir con dos condiciones fundamentales: la primera consiste en que la tensión generada por el inversor debe ser mayor o igual a la señal de tensión del sistema, en el caso del presente proyecto de la microrred aislada, la segunda condición consiste en que la frecuencia de ambas tensiones debe ser la misma [16]. En [17] añade una tercera condición, la cual dice que la tensión del inversor debe estar en fase con la tensión del sistema. En la literatura se puede encontrar algunos métodos

de sincronización de inversores, los cuales se estudian a continuación.

Los algoritmos para la sincronización con la red son de vital importancia en este campo, los principales algoritmos de sincronización se encargan de extraer la fase del vector de voltaje de referencia (red principal o VSI en caso de una red aislada), dicha fase se utiliza para sincronizar las variables de control, para lograr esto se necesita de diferentes módulos de transformación, partiendo de un marco de referencia natural a un marco de referencia síncrono mediante las transformadas de Clark y Park. Con el pasar del tiempo han surgido diferentes métodos para extraer el ángulo de fase, en [10] detallan los principales métodos para la detección de los ángulos de fase provenientes del voltaje de referencia.

2.4.1. Cruce por cero

El método de cruce por cero es una de las técnicas más sencillas de implementar, sin embargo, su rendimiento es pésimo y no garantiza una buena sincronización, esto se debe principalmente a las variaciones que pueden presentar los voltajes de referencia por causa de armónicos o muescas [10]. El funcionamiento de este método radica en el cruce por cero del voltaje referencial para poder obtener la fase, es decir que con este método podemos obtener la información de la señal cada medio ciclo, esto lo hace lento y hace que el desempeño sea insatisfactorio [17].

2.4.2. Filtrado de voltaje

Este método basa su funcionamiento en la aplicación de filtros a los tres voltajes del sistema (voltaje trifásico) para poder obtener el ángulo de fase de la señal, esta técnica de sincronización

presenta un mejor rendimiento con respecto al método anterior, pero sigue sucinto a presentar dificultades cuando existan variaciones del voltaje o algún tipo de falla en la red. Este método basa su funcionamiento en el uso de la función arco tangente para lograr extraer el ángulo de fase de un voltaje referencial. Además, el uso de filtros provoca retardos en la señal procesada por lo cual hace que este método no sea tan aceptable, caso contrario sería necesario el diseño apropiado de los filtros [10].

2.4.3. Phase locked loop (PLL)

En la actualidad, los métodos PLL son las técnicas más utilizadas para extraer el ángulo de fase de los voltajes referenciales. El PLL se implementa en la etapa de marco de referencia síncrono. Este algoritmo presenta un mayor rendimiento pues puede rechazar los armónicos provenientes de la red, muescas o cualquier otra perturbación, sin embargo, se puede aplicar mejoras para prevalecer el desbalance de la red. A breves rasgos, se puede describir un PLL como un sistema en que una señal sigue a otra, específicamente, un PLL brinda una señal de salida con igual frecuencia y fase que una señal de entrada.

2.4.4. Comparativa de métodos de sincronización

Los tres métodos descritos en la sección anterior son de los más conocidos, sin embargo, en la literatura se encuentra muchos más, ciertamente, algunos de ellos se derivan de los tres principales. A continuación, en [18] hace una importante contribución al detallar diferentes técnicas de sincronización según el tipo de inversor a utilizar, en este caso se muestran dos cuadros, en el

Cuadro 2.1, se observa métodos de sincronización para inversores monofásicos y en el Cuadro 2.2, se observa métodos de sincronización para inversores trifásicos.

Cuadro 2.1: Métodos de Sincronización para inversores monofásicos [18]

Método de sincronización		Inmunidad a la distorsión	Adaptabilidad a la frecuencia	Robustez ante desequilibrio	Respuesta dinámica	Costo computacional	Complejidad	
MONOFÁSICO	Método Analógico	ZCD	Baja	Mediana	-	Lenta	Bajo	Baja
		DFT	Alta	Alta	-	Muy baja	Alto	Alta
	Método Digital Lazo Abierto	ANF	Media	Mediana	-	Muy baja	Alto	Alta
		KF	-	Mediana-Alta	-	-	Muy alto	Muy alta
		WLSE	-	Mediana-Alta	-	-	Mediana	Mediana
		ANN	-	Mediana-Alta	-	Mediana-Rápida	Bajo	Alta
		PLL	Media	Mediana	-	Mediana	Bajo-mediano	Baja
	Método Digital Lazo Cerrado	EPLL	Alta	Mediana	-	Mediana baja	Mediano	Baja mediana
		APLL	Mediana	Mediana-Alta	-	Mediana rápida	Mediano	Mediana
		SRF-PLL	Alta	Alto	-	Mediana	Mediano alto	Mediana alta

Los métodos de sincronización para un inversor monofásico se dividen en tres, métodos analógicos, métodos digitales en lazo abierto y métodos digitales en lazo cerrado.

- Métodos Analógicos:

ZCD: del inglés Zero Crossing Detector / Detector de cruce por cero

DFT: del inglés Phase Locked Oscillator / Oscilador de Enganche de Fase

- Métodos digitales en lazo abierto:

ANF: del inglés Adaptive Notch Filter / Filtro de Muesca Adaptativo

KF: del inglés Kalman Filter / Filtro de Kalman

WLSE: del inglés Weighted Least Squares Estimation / Estimación Ponderada por Mínimos Cuadrados

ANN: del inglés Artificial Neuronal Network / Red Neuronal Artificial

PLL: del inglés Phase Locked Loop / Lazo de Enganche de Fase

- Métodos digitales en lazo cerrado:

EPLL: del inglés Enhanced Phase Locked Loop / Lazo de Enganche de Fase Mejorado

APLL: del inglés Adaptive Phase Locked Loop / Lazo de Enganche de Fase Adaptativo

SRF-PLL: del inglés Synchronous Reference Frame Phase Locked Loop / Lazo de Enganche de Fase con Marco de Referencia síncrono

Cuadro 2.2: Métodos de sincronización para inversores trifásicos [18]

Método de sincronización		Inmunidad a la distorsión	Adaptabilidad a la frecuencia	Robustez ante el desequilibrio	Respuesta dinámica	Costo computacional	Complejidad	
TRIFÁSICO	Método Analógico	PLO	Mediana	Mediana	Mediana	Variable	Mediano	Muy alta
		LPF	Alta	Baja	Baja	Mediana	Mediano-bajo	Mediano bajo
	Método Digital Lazo Abierto	SVF	Alta	Baja	Baja	Mediana-baja	Alto	Mediana alta
		KF	Alta	Mediana	Mediana	Mediana	Alto	Alta
		WLS E	-	Mediana	Alta	Rápida	Alto	Mediana
		SRF-PLL	Mediana	Mediana	Mediana	Rápida	Mediano	Baja
	Método Digital Lazo Cerrado	SRF-PLL LPF	Mediana-Alta	Mediana-alta	Mediana-alta	Mediana	Mediano	Mediana-baja
		SRF PLL MAF	Alta	Mediana-alta	Alta	Baja	Mediano	Mediana
		SRF PLL DFT	Alta	Mediana-alta	Alta	Mediana-baja	Alto	Alta
		SRF PLL SC	Alta	Alta	Alta	Mediana	Mediano-alto	Mediana-alta

Los métodos de sincronización para inversores trifásicos poseen una clasificación similar a los monofásicos, de esta manera se tiene.

- Métodos Analógicos:

PLO: del inglés Phase Locked Oscilator / Oscilador de Enganche de Fase

LPF: del inglés Low Pass Filter / Filtro Pasa Bajos

- Métodos digitales en lazo cerrado:

SRF-PLL LPF: del inglés Synchronous Reference Frame Phase Locked Loop with Low Power Filter / Lazo de Enganche de Fase con Marco de Referencia Síncrono con Filtro Pasa Bajo

SRF-PLL MAF: del inglés Synchronous Reference Frame Phase Locked Loop with Moving Average Filter / Lazo de Enganche de Fase con Marco de Referencia Síncrono con Filtro Promedio Móvil.

SRF-PLL DFT: del inglés Synchronous Reference Frame Phase Locked Loop with Digital Fourier Transform / Lazo de Enganche de Fase con Marco de Referencia Síncrono con Transformada Discreta de Fourier

SRF-PLL SC: del inglés Synchronous Reference Frame Phase Locked Loop with Symmetric Components / Lazo de Enganche de Fase con Marco de Referencia Síncrono con Componentes Simétricos.

2.5. Propuesta

En base a lo analizado y tomando en cuenta que se desea implementar en una red trifásica se plantea realizar un lazo de control basado en una técnica PLL, específicamente en un SRF-PLL LPF, el controlador a usar será un controlador PI que en este tipo de lazos de control actúa como un filtro pasa bajo.

Capítulo 3

Modelado y diseño del controlador

En este capítulo se procede a modelar el lazo de control de fase, así como el desarrollo del controlador basados en el dominio de la frecuencia, para esto se deberá tener en cuenta los requerimientos del sistema previamente establecidos; en el transcurso del capítulo se empleará software matemático para lograr el cumplimiento del capítulo.

3.1. Diagrama de bloques de la propuesta

La propuesta seleccionada se basa en los PLL's los cuales han sido utilizados tradicionalmente en el ámbito de las telecomunicaciones, no obstante, con estudios posteriores se lo ha asociado en aplicaciones de electrónica de potencia, en este caso particular para sincronizar un inversor fuente de voltaje.

Un PLL es un lazo de control cerrado, cuya finalidad es el control de un oscilador interno que se encarga de seguir una señal periódica de entrada, puede ser la señal proveniente del vol-

taje de la red pública o en este caso particular el voltaje proveniente de un inversor fuente de voltaje maestro. El PLL obtiene el ángulo de fase de dicho voltaje de tal forma que posibilita la sincronización de un nuevo inversor.

Al tratarse de un lazo de control cerrado, el PLL puede seguir sincronizado aunque existan perturbaciones en la señal referencial (voltaje de red u otro VSI), esto gracias a su sistema de retroalimentación que permitirá la sincronización del inversor después de un lapso de tiempo en el caso de que el PLL detecte perturbaciones provenientes de la red.

Como se puede observar en la Figura 3.1 ,el lazo de control propuesto está compuesto por 3 etapas, un detector de fase, un filtro que puede ser dado por un filtro paso-bajo de primer orden o un controlador PI, y finalmente un oscilador controlado por voltaje, este lazo de control esta alimentado por una señal de referencia y la señal proveniente del feedback propia del lazo en bucle cerrado, a continuación se detalla cada una de estas etapas.

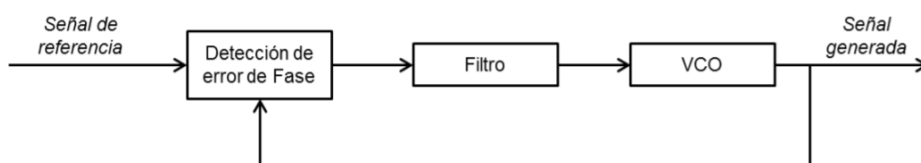


Figura 3.1: Esquema funcional de un PLL

3.1.1. Detector de fase (DF)

Esta etapa, como su nombre lo indica, es el encargado de detectar la variación de fase entre dos señales, una de entrada $x_i(t)$ y otra de salida $x_o(t)$. la etapa DF se compone principalmente de un multiplicador, de modo que a la salida de este bloque tendremos una señal resultante $v_e(t)$ del producto entre $x_i(t)$ y $x_o(t)$ a la cual se llamará, error de fase.

$$x_i(t) = V \sin(\theta) = V \sin(\omega t + \phi) \quad (3.1)$$

$$x_o(t) = V \cos(\theta_o) = V \cos(\omega_o t + \phi_o) \quad (3.2)$$

$$v_e(t) = V k_d \sin(\omega t + \phi) \cos(\omega_o t + \phi_o)$$

$$= \frac{V k_d}{2} \{ \sin((\omega - \omega_o)t + (\phi - \phi_o)) + \sin((\omega + \omega_o)t + (\phi + \phi_o)) \}, \quad (3.3)$$

donde K_d es la ganancia del multiplicador.

3.1.2. Filtro (LF)

Este bloque es el encargado de atenuar las distorsiones de alta frecuencia que se generarn en $v_e(t)$, por lo general esta etapa esta compuesto por un controlador PI. Como es posible observar a la salida del DF, $v_e(t)$, la señal esta conformada por dos señales de tipo sinusoidal de baja

y alta frecuencia, la finalidad de esta etapa es obtener la diferencia entre las fases de la señal de entrada y señal de salida. A la salida de la etapa se obtiene una señal $v_c(t)$: Vale la pena recalcar que esta etapa al eliminar las frecuencias altas, el error de fase indicado en la ecuación 3.3 quedaría de la siguiente manera,

$$V_e(t) = \frac{Vk_d}{2} \{\sin((\omega - \omega_o)t + (\phi - \phi_o))\}. \quad (3.4)$$

Como se indicó en el anterior capítulo, la mejor opción para un PLL es un controlador PI, por lo cual en esta etapa se hará uso del mismo para que actúe como filtro en este lazo de control.

3.1.3. Oscilador controlado por voltaje (VCO)

En cortas palabras, este bloque se encarga de generar la señal de salida $x_o(t)$, la señal de salida es una señal AC a una frecuencia dada en función del voltaje de entrada proporcionado por el filtro pasa-bajos. Si el VCO se encuentra bien sincronizado con la frecuencia de la señal entrante, es decir $\omega \approx \omega_o$, la señal de error de fase esta dada por la ecuación 3.5, la cual es un término en DC.

$$V_e(t) = \frac{Vk_d}{2} \sin(\phi - \phi_o) \quad (3.5)$$

En esta parte el multiplicador k_d genera una detección de fase no lineal debido a la señal sinusoidal de entrada, aunque si el error de fase es pequeño, es decir $\phi \approx \phi_o$, la salida del multiplicador puede presentar un comportamiento lineal cuando se encuentra en este punto de funcionamiento gracias a la simplificación que se puede llegar de $\sin(\phi - \phi_o) \approx \sin(\theta - \theta_o) \approx$

$(\theta - \theta_o)$. De tal forma que el PLL al llegar ha este estado de bloqueo permite que la ecuación del error de fase resultante quede de la siguiente manera,

$$V_e(t) = \frac{Vk_d}{2}(\theta - \theta_o). \quad (3.6)$$

Con la ecuación 3.6 se puede implementar un modelo lineal del multiplicador perteneciente al bloque detector de fase. Cuando el PLL este en estado de bloqueo la ganancia dependerá de la amplitud de la señal entrante.

Otra parte fundamental del VCO es la frecuencia promedio implementada en este bloque, la cual esta dada por,

$$\omega_o = (\omega_c + \Delta\omega_o) = (\omega_c + k_{vco}v_c(t)). \quad (3.7)$$

Donde ω_c es la frecuencia dada del VCO y es suministrada al PLL como un parámetro positivo cuyo valor depende del rango de frecuencia en el que va a operar el PLL. Por tal motivo las variaciones de la frecuencia del VCO estan dadas por,

$$\Delta\omega_o = k_{vco}v_c(t), \quad (3.8)$$

finalmente, las variaciones del ángulo de fase se escriben como,

$$\theta_o(t) = \int \Delta\omega_o dt = \int k_{vco}v_c dt. \quad (3.9)$$

3.2. Funciones de transferencia

Las ecuaciones indicadas en la anterior sección se encuentran en el dominio del tiempo. Sin embargo, para poder generar la función de transferencia es necesario recurrir a la transformada de Laplace para cada una de estas ecuaciones y obtener las señales de interés asociadas a un PLL, para esto se considera que $k_d = k_{vco} = 1$. De esta manera se tiene para el detector de fase,

$$\mathcal{L}\{v_e(t)\} = V_e(s) = \frac{v}{2}(\theta(s) - \theta_o(s)), \quad (3.10)$$

para el filtro, que en esta ocasión se trata de un control PI,

$$V_c(s) = k_p(1 + \frac{1}{t_i s} v_e(s)), \quad (3.11)$$

y finalmente para el oscilador controlado por voltaje tenemos,

$$\mathcal{L}\{\theta_o(t)\} = \theta_o(s) = \frac{1}{s} v_c(s). \quad (3.12)$$

Mediante estas expresiones es posible obtener las funciones de transferencia características de este lazo de control.

La función de transferencia de fase en lazo abierto queda de la siguiente manera,

$$F_{OL}(s) = DF(s) \cdot LF(s) \cdot VCO(s) = k_i \frac{k_p(1 + \frac{1}{T_i s})}{s} = \frac{k_p s + \frac{k_p}{T_i}}{s^2}, \quad (3.13)$$

por otra parte, la función de transferencia de fase en lazo cerrado se denota con la siguiente expresión,

$$H_{\theta}(s) = \frac{\theta_o(s)}{\theta(s)} = \frac{LF(s)}{s + LF(s)} = \frac{k_p s + \frac{k_p}{T_i}}{s^2 + k_p s + \frac{k_p}{T_i}}, \quad (3.14)$$

y por último, la función de transferencia del error en lazo cerrado queda así,

$$E_{\theta}(s) = \frac{v_e(s)}{\theta(s)} = 1 - H_{\theta}(s) = \frac{s}{s + LF(s)} = \frac{s^2}{s^2 + K_p(s) + \frac{k_p}{T_i}}. \quad (3.15)$$

Las funciones de transferencia obtenidas en las ecuaciones 3.13, 3.14 y 3.15 corroboran algunas afirmaciones que se hacen sobre el funcionamiento del PLL. Así tenemos, la función de transferencia en lazo abierto indica que el PLL es un sistema de segundo orden, el cual posee dos polos por lo tanto es capaz de seguir una rampa de pendiente constante en el ingreso de ángulo de fase sin presentar errores en el estado estacionario. Por otra parte, la función de transferencia en lazo cerrado indica que el PLL posee una característica de filtro paso-bajo empleado para la detección del ingreso de ángulo de fase, esta característica es muy importante para la atenuación de la detección de errores originados por posibles ruidos y armónicos presentes en la señal de entrada. Las funciones de transferencia mencionadas anteriormente se pueden reescribir de una forma normalizada, como se muestra a continuación,

$$H_{\theta}(s) = \frac{2\xi \omega_n s + \omega_n^2}{s^2 + 2\xi \omega_n s + \omega_n^2}, \quad (3.16)$$

donde

$$\omega_n = \sqrt{\frac{K_p}{T_i}} \quad (3.17)$$

$$\xi = \frac{\sqrt{k_p T_i}}{2}. \quad (3.18)$$

El tiempo de establecimiento (t_s), es la medida de tiempo comprendida entre el instante de inicio a fin en que el sistema mantiene un 1 % de la respuesta en estado estacionario de un sistema de segundo orden en función de una entrada escalonada entrante. En libros especializados, el tiempo t_s se puede calcular empleando la siguiente ecuación,

$$t_s = 4\tau \quad \text{donde,} \quad \tau = \frac{1}{\xi \omega_n}. \quad (3.19)$$

Las expresiones indicadas en 3.19 se deben entender como guías mas no como fórmulas, precisamente el valor de 4 puede variar entre 3.8 y 4.6, como se mencionó son aproximaciones que se hacen de la respuesta temporal de un sistema de segundo orden, la mejor forma de comprobar es mediante la simulación, con el objetivo de asegurar que las especificaciones de tiempo se han satisfecho.

La función de transferencia que define al sistema PLL es la indicada en la expresión 3.16, como se habia comentado se trata de un sistema de segundo orden, por tal motivo esta ecuación se puede emplear para obtener un valor aproximado del tiempo t_s , y en consecuencia, los parámetros para ajustar el controlador PI presente en el PLL. Dichos parámetros se ajustan en

función de t_s como se muestran a continuación,

$$k_p = 2\xi \omega_n = \frac{9.2}{t_s}, \quad T_i = \frac{2\xi}{\omega_n} = \frac{t_s \xi^2}{2.3}. \quad (3.20)$$

Es importante recalcar que las ecuaciones indicadas en 3.20 son obtenidas bajo el concepto de una señal de entrada unitaria, es decir, voltaje igual a 1. En relación a esto, para obtener los parámetros para ajustar el controlador PI es necesario dividir por la amplitud del voltaje de entrada, V .

Otro parámetro a tomar en cuenta para el desarrollo de este controlador es el sobreimpulso, el cual se define como el valor máximo que alcanza la variable de salida, expresado como porcentaje del valor en estado estable. Para el cálculo de este parámetro se emplea la siguiente expresión.

$$M_p = e^{-\frac{\xi\pi}{\sqrt{1-\xi^2}}} \quad (3.21)$$

3.3. Principales parámetros del PLL

El funcionamiento de un PLL se puede describir gracias a ciertos parámetros, a continuación se presentan los más representativos:

-Dominio del intervalo $\Delta\omega_h$: se define como el rango de frecuencia donde el PLL es capaz

de mantener de forma estática el bloqueo de fase. Su cálculo está denotado por,

$$\Delta\omega_h = k_{pd}k_{vco}LF(0), \quad (3.22)$$

donde, $LF(0)$ es la ganancia en DC del filtro, en el caso de un controlador PI, $LF(0) = \infty$ por lo tanto el parámetro $\Delta\omega_h$ se encuentra limitado únicamente por el rango de frecuencia proveniente del VCO.

-Rango pull-in ($\Delta\omega_p$): se define como el rango de frecuencias en el que el PLL se encuentre en estado de bloqueo, sin embargo este proceso puede llegar a ser muy lento. En el caso de emplear un controlador PI este rango tiende a infinito. Se puede calcular el tiempo que el PLL requiere estar bloqueado cuando se ejecuta un proceso pull-in producido por una variación en la frecuencia de entrada, $\Delta\omega_{in}$, el cálculo es el siguiente,

$$T_p \approx \frac{\pi^2 \Delta\omega_{in}^2}{16\xi \omega_n^3}. \quad (3.23)$$

-Rango de bloqueo ($\Delta\omega_l$): se define como los valores de frecuencia en los cuales el PLL se bloquea en base a una señal de un único pulso entre la frecuencia referencial y la frecuencia de salida. El rango de bloqueo se aproxima de la siguiente manera,

$$\Delta\omega_L \approx 2\xi \sqrt{\frac{k_p}{T_i}}. \quad (3.24)$$

Por otro lado el tiempo de bloqueo se calcula así,

$$T_L \approx \frac{2\pi}{\omega_n}. \quad (3.25)$$

-Rango pull-out ($\Delta\omega_{PO}$): se define como el límite dinámico para que el PLL tenga un funcionamiento estable, si en este rango se pierde el seguimiento entonces el PLL se bloqueará nuevamente, inclusive más tiempo que el calculado en el tiempo de bloqueo. El rango pull-out se calcula de la siguiente manera,

$$\Delta\omega_{PO} \approx 1.8\omega_n(\xi + 1). \quad (3.26)$$

3.4. PLL en marco de referencia síncrono

Como se ha mencionado el objetivo del presente trabajo es la sincronización de un inversor a una red trifásica, en las anteriores secciones se ha explicado el funcionamiento de un PLL básico, ahora con la finalidad de cumplir con este objetivo se emplea un nuevo algoritmo que básicamente posee la misma estructura y funcionamiento del PLL básico pero agregada una etapa donde se transforman los voltajes. Esta transformación se obtiene por medio de la transformada de Park.

La transformada de Park convierte los voltajes trifásicos sinusoidales a valores constantes lo cual ayuda en la simplificación de los cálculos. En la ecuación 3.27 se muestra el sistema

matricial ocupado por la transformada de Park para cambiar de marco de referencia.

$$\begin{bmatrix} V_d \\ V_Q \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \cos(\theta - 120) & \cos(\theta + 120) \\ -\sin(\theta) & -\sin(\theta - 120) & -\sin(\theta + 120) \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (3.27)$$

El algoritmo tiene una respuesta dinámica muy rápida pues no requiere de tanta carga computacional, por otro lado, tiene un gran desempeño ante la presencia de ruido o armónicos en la red principal.

El funcionamiento de este algoritmo se puede entender de mejor manera en base a la Figura 3.2, en la entrada se tiene un sistema de coordenadas trifásico que a la postre se convertirán en dos componentes, V_d y V_q gracias a 3.27, el valor de V_q debe mantener el valor de cero por medio del controlador PI mientras que el valor de V_d debe mantener el voltaje proporcionado por la fase A.

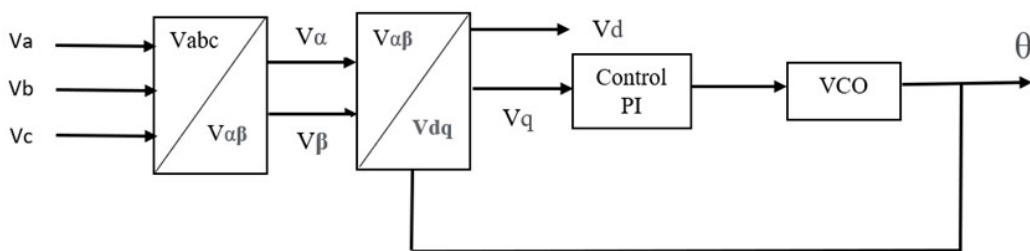


Figura 3.2: Esquema funcional de un PLL trifásico

Como se mencionó, el controlador PI en este tipo de PLL se encarga de mantener el valor referencial $V_q = 0$, ya que después de transformar el voltaje trifásico los voltajes V_d y V_q son dis-

tintos de cero, como se mira en el diagrama 3.3, por ende es necesario un control que mantenga el voltaje $V_d \approx V_{RED}$ y el voltaje $V_q = 0$ como se indica en la Figura 3.4

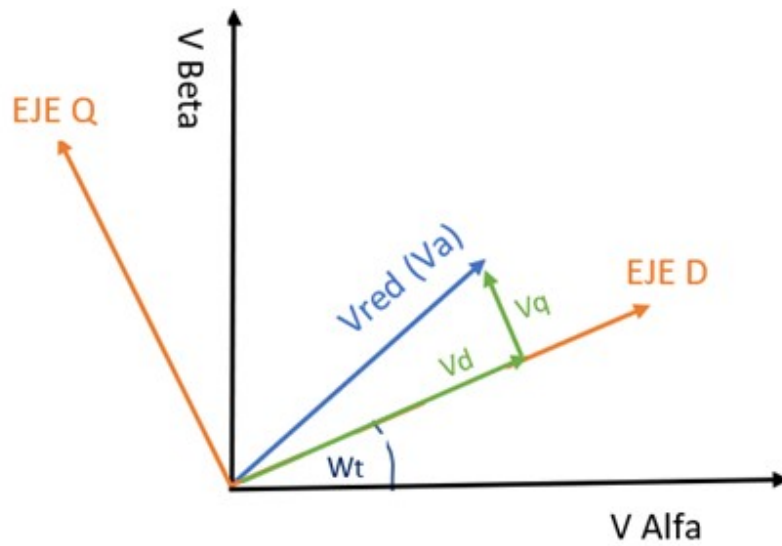


Figura 3.3: Diagrama fasorial sin control PI

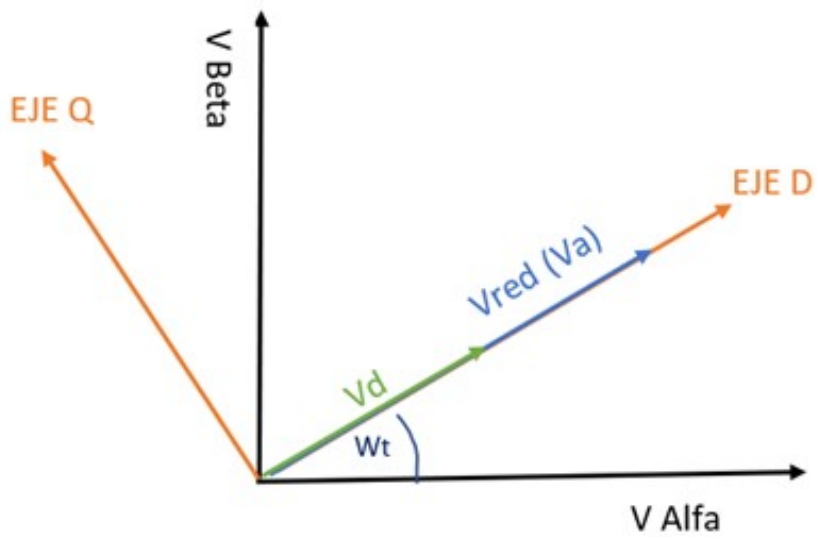


Figura 3.4: Diagrama fasorial con control PI

El valor de $\omega(t)$ que se obtuvo después de hacer que $v_q = 0$ se utiliza para que el PLL genere las señales de referencia, de este trabajo se encarga el integrador añadido después del controlador.

3.5. Controlador PI

Para el establecimiento de los parámetros del controlador PI, se utilizará las funciones de transferencia obtenidas en la sección 3.2, en este caso particular la función de transferencia en lazo cerrado, de igual manera se obtendrán las constantes k_p y T_i en función de los parámetros de desempeño del controlador, específicamente del tiempo de establecimiento T_s y el sobreimpulso M_p . En base a la literatura [19], [20], un SRF-PLL debe poseer máximo un sobreimpulso del 20% y un tiempo de establecimiento no mayor a 1 ms para que el PLL tenga una respuesta rápida.

Para obtener el valor de k_p se emplea las ecuaciones 3.17 y la ecuación 3.20 de la siguiente manera, de 3.20 despejamos ξ y nos queda la expresión $\xi = \frac{k_p}{2\omega_n}$, finalmente se reemplaza esta expresión en 3.19 obteniendo el siguiente resultado,

$$t_s = \frac{4}{2\frac{k_p}{\omega_n}\omega_n} = \frac{8}{k_p}. \quad (3.28)$$

Finalmente para un tiempo de establecimiento de 1 ms se obtiene un k_p ,

$$k_p = \frac{8}{t_s} = 8000. \quad (3.29)$$

Ahora, para el cálculo de t_i , se despeja ξ de la ecuación 3.21 y se obtiene la siguiente expresión,

$$\xi = \frac{-\ln(M_p)}{\sqrt{\pi^2 + \ln^2(M_p)}}, \quad (3.30)$$

para un $M_p = 20\%$, el valor de $\xi = 0,4559$. y se reemplaza este valor en la expresión 3.18 de la siguiente manera,

$$\xi = \frac{\sqrt{k_p t_i}}{2}, \quad \text{despejando, } t_i = \frac{4\xi^2}{k_p}. \quad (3.31)$$

En base a esto se procede a calcular con ayuda de software matemático, MATLAB. Se obtienen los valores de $k_p = 8000$ y $t_i = 1,0395e^{-4}$. En el siguiente capítulo se someterá a pruebas el controlador así como el PLL, para verificar estos valores obtenidos y si el lazo de control cumple con el objetivo. Todos los cálculos para llegar a estos resultados se realizaron con la ayuda de MATLAB ¹.

¹Ingresar a <https://github.com/Lenin2302/PRUEBAS-SRF-PLL.git> para observar los cálculos realizados en MATLAB

Capítulo 4

Resultados experimentales

En este capítulo se implementará el lazo de control de fase y se realizarán pruebas de funcionamiento en simulación con ayuda de software matemático para evaluar el desempeño del mismo. Este espacio también se dispondrá para correcciones o errores que el diseño del lazo de control pueda presentar.

4.1. Pruebas del controlador

Una vez obtenido los parámetros del controlador PI, se procede a evaluar la función de transferencia del sistema para corroborar que el controlador cumpla con su función y según las especificaciones deseadas, se hace uso de la ecuación 3.14 aplicando los valores obtenidos en el anterior capítulo $k_p = 8000$ y $t_i = 1,039e^{-4}$, de la siguiente manera,

$$H_{\theta}(s) = \frac{k_p s + \frac{k_p}{T_i}}{s^2 + k_p s + \frac{k_p}{T_i}} = \frac{8000s + 7,696e^7}{s^2 + 8000s + 7,696e^7}. \quad (4.1)$$

Con estos valores se inyecta un escalón unitario para analizar su respuesta al impulso, en la Figura 4.1 se puede observar el resultado, claramente no cumple con los parámetros que se

habían establecido en el anterior capítulo, específicamente en el porcentaje de sobreimpulso.

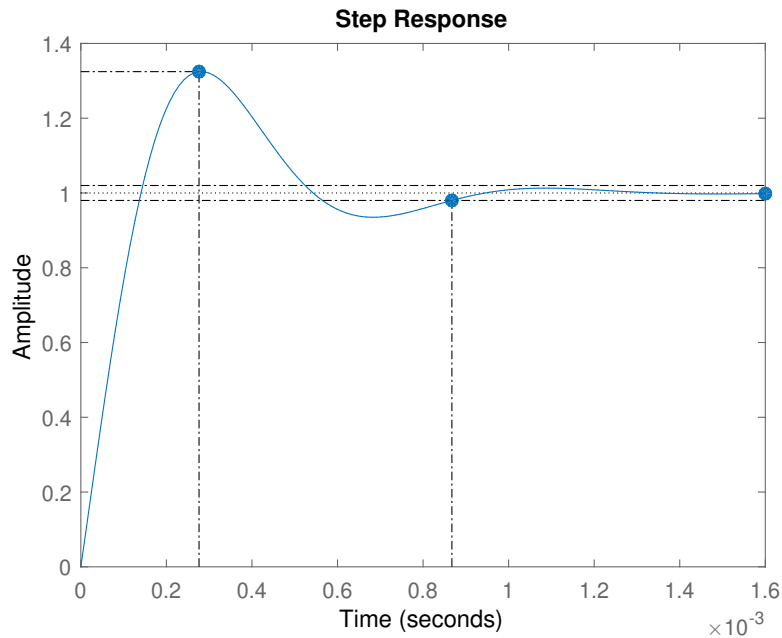


Figura 4.1: Prueba 1, el controlador no cumple con los parámetros de diseño

De tal manera que se realiza diferentes pruebas dando valores a k_p y t_i cercanos a los calculados en el anterior capítulo con la finalidad de obtener un valor que cumpla con los parámetros que se desea. En la Figura 4.2 se observa una respuesta al escalón unitario con un porcentaje de sobreimpulso cercano al planteado, en la Figura 4.3 se observa un porcentaje de sobreimpulso acorde a lo planeado, sin embargo el tiempo de establecimiento es muy rápido por lo cual significa un gasto computacional alto y como sugiere la literatura es algo innecesario.

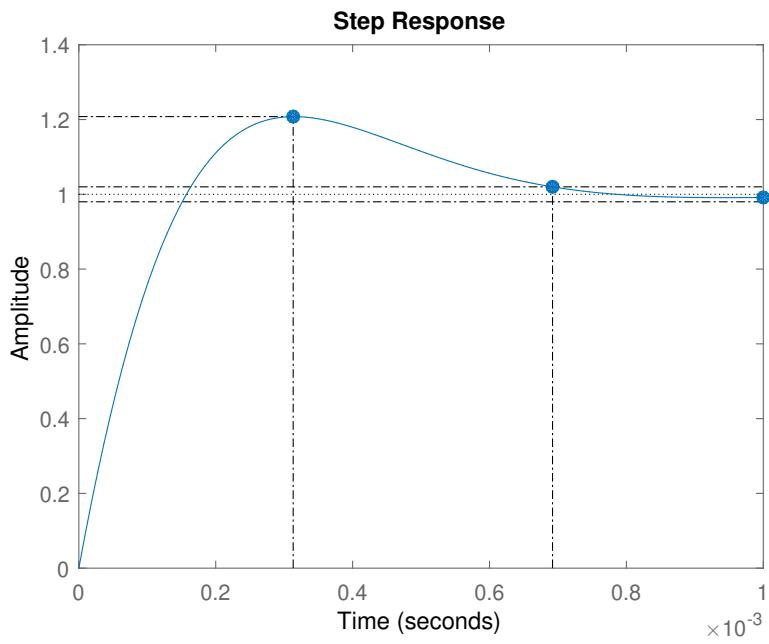


Figura 4.2: Prueba 2, sintonización del controlador PI.

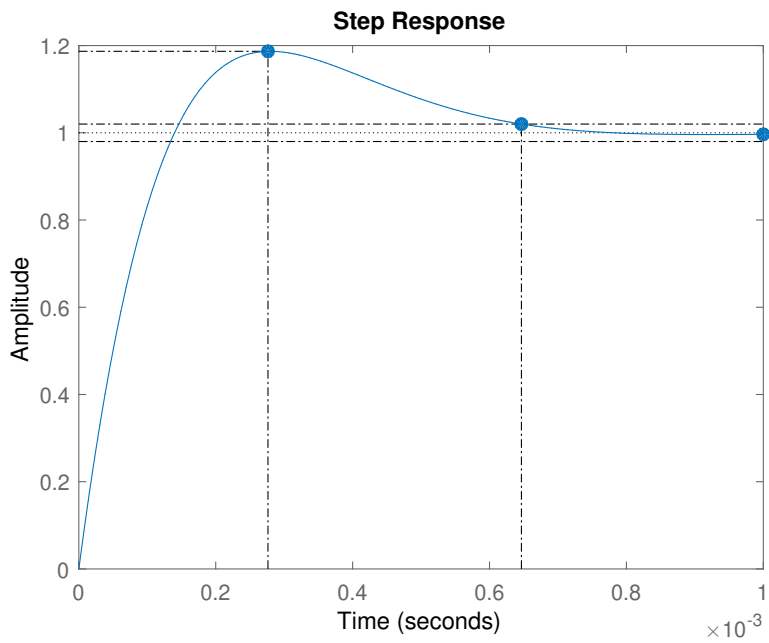


Figura 4.3: Prueba 3, tiempo de establecimiento no cumple con los requerimientos

Finalmente, con valores de $k_p = 9200$ y $t_i = 0,00027$ se obtiene valores muy cercanos a lo que se desea y para que el controlador funcione óptimamente, en la Figura 4.4 podemos ver la respuesta al impulso.

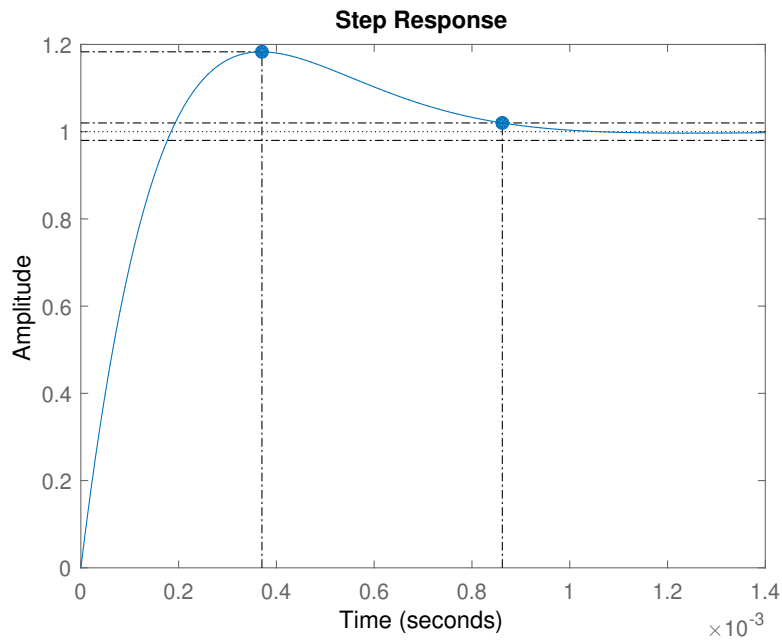


Figura 4.4: Prueba 5, valores acorde a los requerimientos

4.1.1. Estabilidad del sistema

Una vez obtenida la respuesta al impulso con los parámetros del controlador PI que mejor desempeño muestran se procede a analizar la estabilidad, en la Figura 4.5, se observa una oscilación propia del sistema por la presencia de la componente integral. En la figura se puede observar los polos y ceros del sistema, al ser un sistema de segundo orden se posee dos polos y un cero, en la gráfica es posible observar que el sistema es estable considerando los parámetros que se ha establecido al controlador PI pues los polos se encuentran en la parte real negativa del

plano.

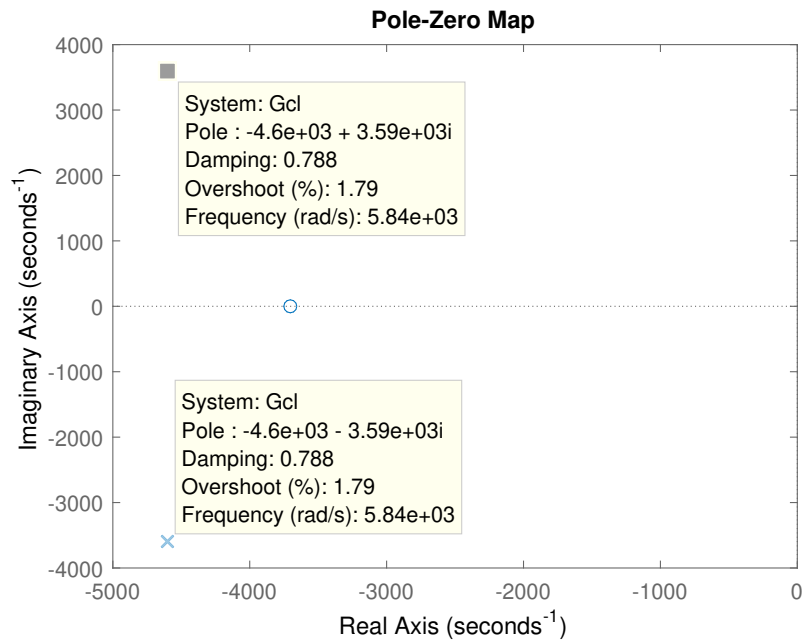


Figura 4.5: Polos y ceros del sistema, polos reales negativos garantizan estabilidad.

Es posible garantizar la estabilidad del sistema verificando en el diagrama de bode como se muestra en la Figura 4.6 el sistema tiene un margen de ganancia positivo, lo que verifica el resultado obtenido con el análisis de polos y ceros. En la gráfica del diagrama de fase, se señala la frecuencia de corte, la cual indica el pico del sobreimpulso que da como respuesta el sistema.

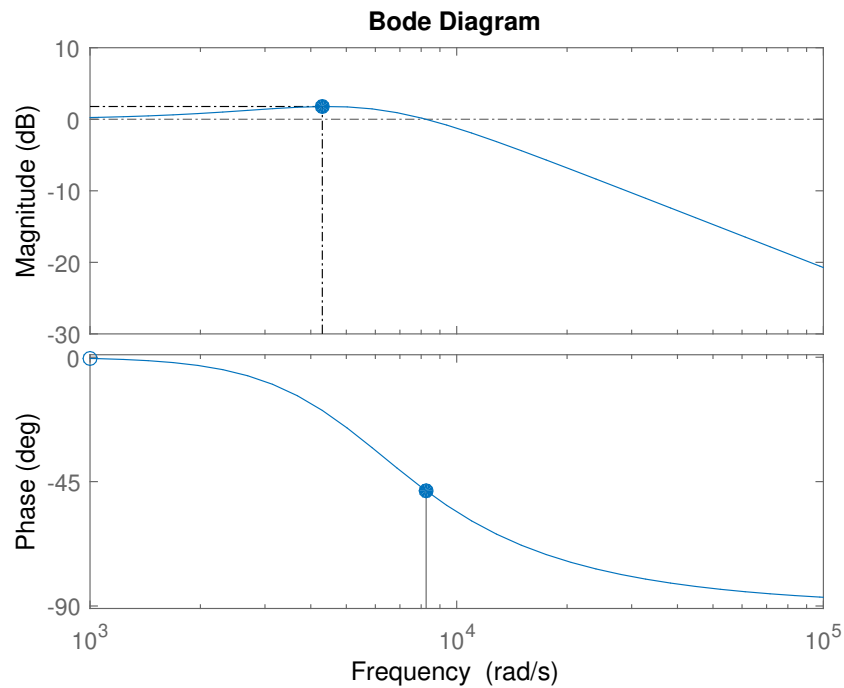


Figura 4.6: Diagrama de Bode del sistema, margen de ganancia positivo lo que permite afirmar el resultado obtenido en el análisis de polos y ceros

4.1.2. Sensibilidad del sistema

Para evaluar el desempeño del sistema controlado en lazo cerrado, no basta con satisfacer los criterios de respuesta dinámica (máximo sobreimpulso y tiempo de estabilización). También es importante analizar su desempeño en escenarios donde su comportamiento se desvía del modelo matemático idealizado, por motivos como la aparición de perturbaciones externas, incertidumbre o variaciones en el modelo matemático del sistema o cambios en el voltaje referencial de entrada. Para ello, es necesario definir las funciones de transferencia de sensibilidad y sensibilidad complementaria, y evaluar sus valores máximos para poder determinar la respuesta

del sistema en condiciones no ideales.

La función de sensibilidad se define como,

$$S(s) = \frac{1}{1 + H_{OL}(s)}. \quad (4.2)$$

La función de sensibilidad nos permite determinar la resistencia del sistema frente a perturbaciones. La sensibilidad máxima (M_s) del sistema se define como el máximo valor de la respuesta en frecuencia de la función de sensibilidad. Un sistema con buena resistencia a perturbaciones se caracteriza por tener una sensibilidad máxima menor a 2, lo cual se expresa de la siguiente manera,

$$M_s = \max |S(j\omega)| = \max \left| \frac{1}{1 + H_{OL}(j\omega)} \right| < 2. \quad (4.3)$$

Para el sistema diseñado, la función de sensibilidad queda de la siguiente manera,

$$S(s) = \frac{0,00027s^2}{0,00027s^2 + 2,484s + 9200}, \quad (4.4)$$

y la sensibilidad máxima es,

$$M_s = \max |S(j\omega)| = 1, \quad (4.5)$$

por lo cual cumple con el concepto de ser menor a 2. Por lo tanto, se concluye que el sistema tiene una buena resistencia frente a perturbaciones externas.

La función de sensibilidad complementaria se define como,

$$T(s) = \frac{H_{OL}(s)}{1 + H_{OL}(s)}. \quad (4.6)$$

Esta función nos permite determinar la resistencia del sistema frente a variaciones o incertidumbres en el modelo matemático del sistema, así como cambios en el voltaje referencial de entrada. La sensibilidad complementaria máxima (M_t) del sistema se define como el máximo valor de la respuesta en frecuencia de la función de sensibilidad complementaria. Un sistema con buena resistencia a variaciones del proceso y cambios en el valor referencial se caracteriza por tener una sensibilidad complementaria máxima menor a 2, lo cual se expresa de la siguiente manera,

$$M_t = \max |T(j\omega)| = \max \left| \frac{H_{OL}(j\omega)}{1 + H_{OL}(j\omega)} \right| < 2. \quad (4.7)$$

Para el sistema diseñado, la función de sensibilidad complementaria es,

$$T(s) = \frac{0,00067s^3 + 2,484s^2}{7,29e^{-8}s^4 + 0,00067s^3s + 2,84s^2}, \quad (4.8)$$

y la sensibilidad complementaria máxima es,

$$M_t = \max |T(j\omega)| = 1,2280, \quad (4.9)$$

de igual manera cumple con el concepto de ser menor a 2, Por lo tanto, se concluye que el siste-

ma tiene una buena resistencia frente a variaciones o incertidumbres en el modelo de la planta, así como frente a cambios en el voltaje referencial.

Tanto los cálculos de estabilidad como de sensibilidad se realizaron en software matemático, MATLAB ¹.

4.2. Implementación del lazo de control

En base al lazo de control modelado en el anterior capítulo, el cual consta de 3 etapas: un detector de fase, un filtro que básicamente es un controlador PI y finalmente un oscilador controlado por voltaje, se procede a implementar todas estas etapas con la finalidad de hacer pruebas que garanticen un lazo de control óptimo para la aplicación que se le desea dar, es importante recalcar que se está trabajando con un SRF-PLL, es decir en marco de referencia síncrono.

4.2.1. Simulación de PLL

Con la ayuda de software matemático es posible establecer una simulación completa del presente lazo de control, en esta sección analizaremos como sería la estructura del lazo y las señales que se generan en cada etapa del mismo, de esta manera se comprenderá mucho más su funcionamiento.

¹Ingresar a <https://github.com/Lenin2302/PRUEBAS-SRF-PLL.git> para observar los cálculos de estabilidad y sensibilidad

Se ha añadido un link de descarga en donde se encontrará el modelo del lazo de control realizado en SIMULINK para posibles estudios a futuro ².

El PLL queda configurado de la siguiente manera, partiendo del diseño planteado en el anterior capítulo.

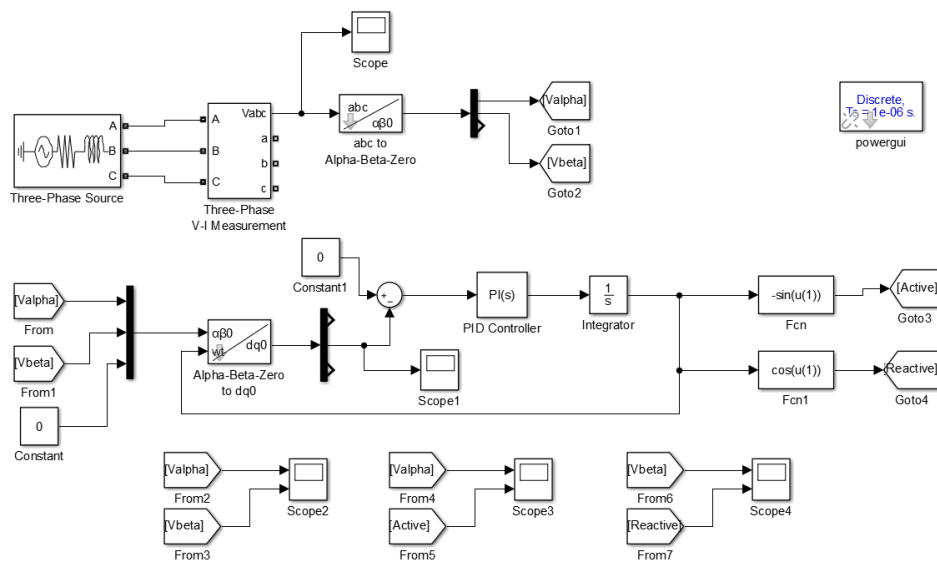


Figura 4.7: SRF-PLL diseñado en Simulink

En la parte superior del diagrama se puede ver el ingreso de un voltaje trifásico y con ayuda de un osciloscopio podemos ver las tres señales que entran con un desfase, tal como muestra la Figura 4.8; estas señales son convertidas a un voltaje bifásico por medio de la transformada de Clarke, manteniendo un desfase de 90° , como es posible observar en la Figura 4.9

²Ingresar a <https://github.com/Lenin2302/PRUEBAS-SRF-PLL.git> para observar el archivo simulación *pll.slx*

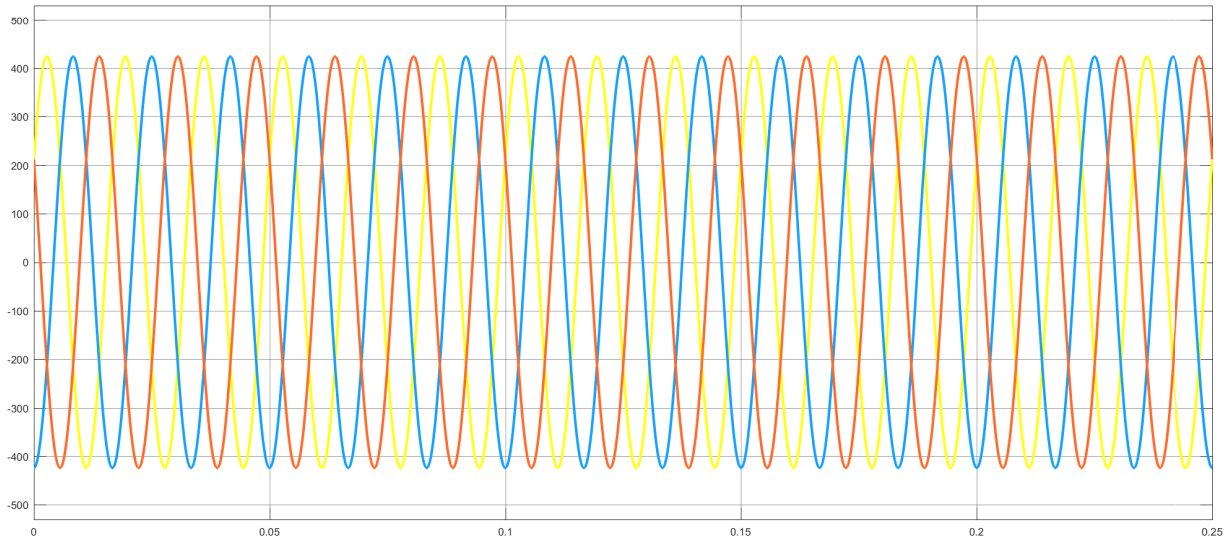


Figura 4.8: Voltaje trifásico al ingreso del sistema

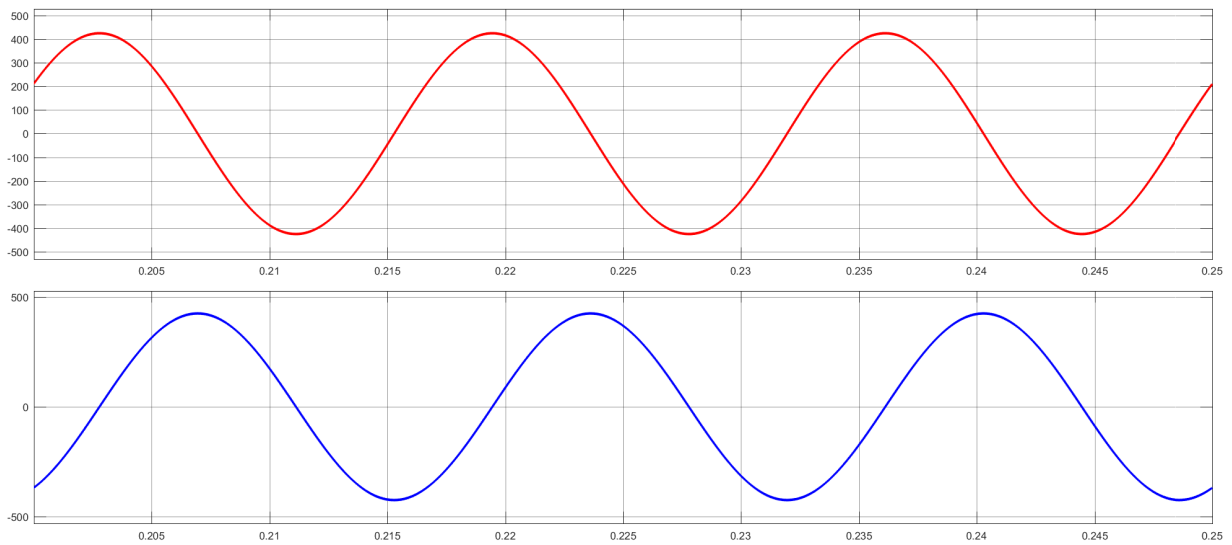


Figura 4.9: Transformada de Clarke, se transforma el voltaje trifásico a bifásico, en rojo alfa y en azul beta

De igual manera es posible verificar el correcto funcionamiento del controlador PI, el cual

mantiene en 0 el valor de V_q , como se observa en la Figura 4.10.



Figura 4.10: Señal del controlador PI, se encarga de mantener el valor en cero

Finalmente a la salida del sistema tenemos las funciones sin y cos que generan las componentes activas y reactivas. Supongamos que se desea enviar una corriente para generar energía activa, esta debe estar en fase con el voltaje de la red, por tal motivo para poder enviar esta corriente se necesita una señal referencial y dicha señal debe estar en fase con el voltaje, en el caso de la energía reactiva, la señal referencial deberá estar desfasada en 90° . Como se observa en la Figura 4.9 los voltajes alfa y beta se encuentran desfasados en 90° por lo tanto el voltaje alfa deberá estar en fase con el componente activo y el voltaje beta deberá estar en fase con el componente reactivo como se muestran en las Figuras 4.11 y 4.12

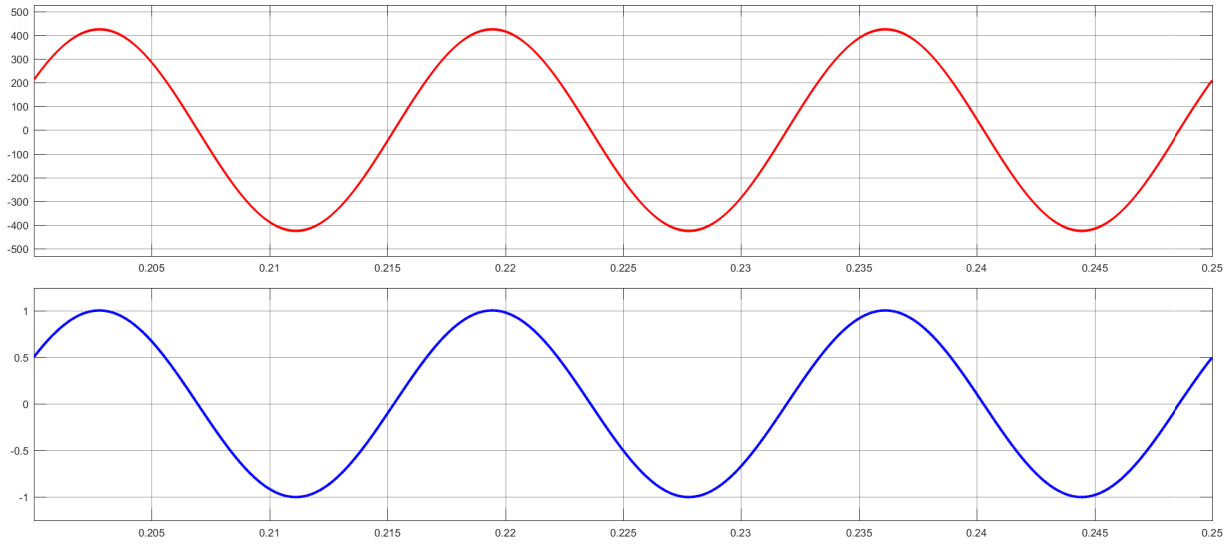


Figura 4.11: Señal de referencia para voltaje alfa, en rojo voltaje alfa y en azul componente activa

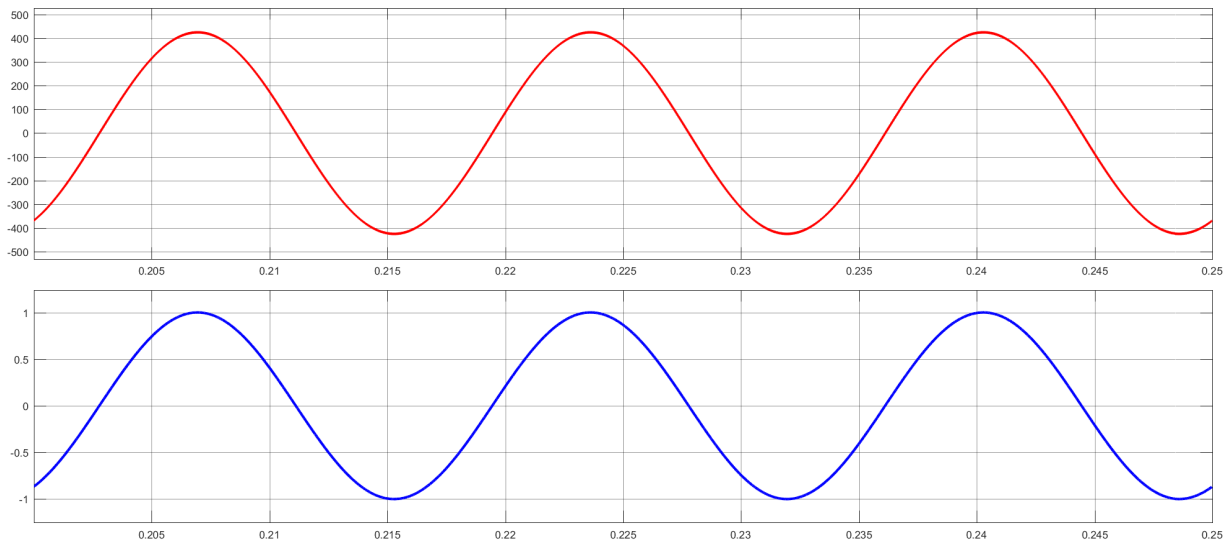


Figura 4.12: Señal de referencia para voltaje beta, en rojo voltaje beta y en azul componente reactiva

Efectivamente, se logra apreciar la sincronización de los voltajes, en otras palabras están en fase, por lo que se puede concluir que el lazo de control cumple con su trabajo.

4.2.2. Perturbación en el sistema

Por último se han agregado señales que simulen perturbaciones en el sistema, en la Figura 4.13 se ha agregado un escalón unitario y en la Figura 4.14 una señal sinusoidal, con la finalidad de demostrar que el controlador PI cumple con su función eliminando señales parásitas que pueden ingresar al lazo de control, en cualquiera de los dos casos el resultado fue el mismo mostrado en la Figura 4.10, lo que ratifica el desempeño del controlador y garantizando un óptimo funcionamiento del SRF-PLL.

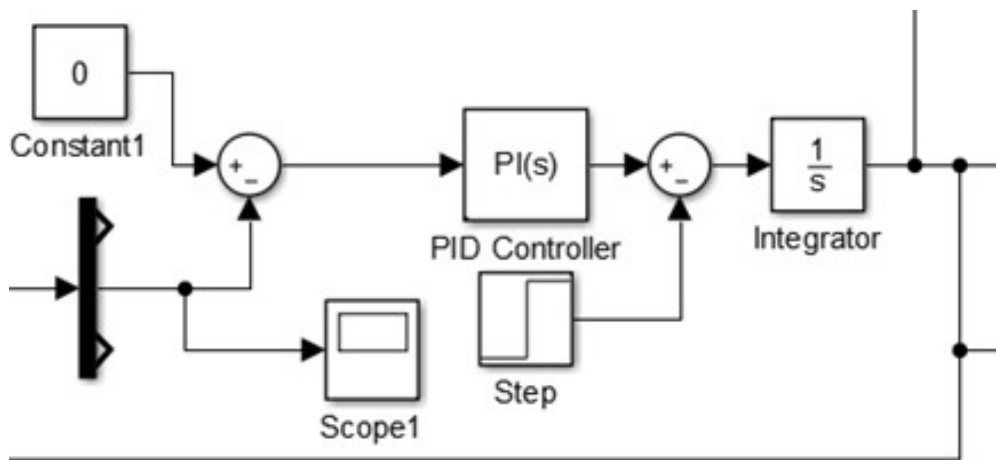


Figura 4.13: Escalón unitario añadido al lazo de control

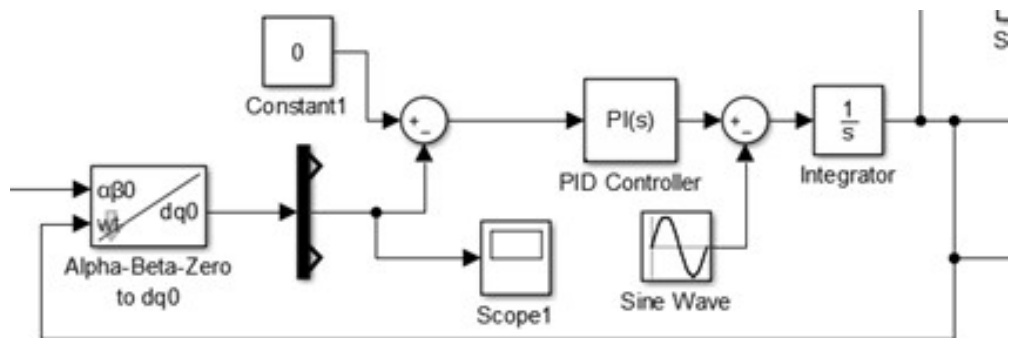


Figura 4.14: Señal sinusoidal añadida al lazo de control

4.3. Análisis de resultados

Realizada la simulación se puede constatar que el algoritmo SRF-PLL o PLL en marco de referencia síncrono, presenta un buen rendimiento para la aplicación deseada, en este caso en particular para la sincronización de un inversor, se puede observar en la simulación que cumple con el objetivo e inclusive es resistente a señales que pueden perturbar el funcionamiento del lazo de control.

El controlador PI actúa de forma óptima, eliminando cualquier señal parásita que entre en el lazo de control, además es estable y posee una buena sensibilidad. A esto se le suma que al ser un lazo de control cerrado con un sensor ideal igual a 1 el PLL pueda seguir sincronizado aunque existan perturbaciones en la señal de referencia. El controlador debe mantener constante el valor de cero dado por v_q .

La Transformada de Park ayuda en gran manera la simplificación de los cálculos, pues permite trabajar con una señal directa en lugar de tres señales sinusoidales, claro que existe

la posibilidad de emplear otras técnicas de sincronización para este tipo de inversores pero no tendrían el rendimiento que se necesita, de igual manera existen mejores PLL's que a su vez representan mayor gasto computacional, a manera de conclusión el SRF-PLL es una muy buena opción para emplear en la sincronización de un inversor a una microrred.

Capítulo 5

Conclusiones

5.1. Conclusiones

El SRF-PLL propuesto en el presente trabajo garantiza la sincronización de un inversor fuente de voltaje trifásico con una microrred aislada, el lazo de control cumple de manera eficaz con las demandas que sugiere el sistema. El controlador PI, actúa de forma óptima como filtro en este tipo de lazos de control, eliminando posibles perturbaciones que ingresan en el PLL. Al ser un sistema en lazo cerrado garantiza la sincronización del inversor a pesar de que al sistema ingresen perturbaciones provenientes de la red, finalmente la transformada de Park ayuda a reducir en gran manera los cálculos del PLL de tal forma que un sistema trifásico con tres señales sinusoidales es posible reducir a una sola señal constante. Mediante el uso de software matemático es posible implementar y analizar el SRF-PLL, lo cual garantiza el buen desempeño del lazo de control.

5.2. Recomendaciones

- Para desarrollar un PLL se debe analizar investigaciones anteriores con el objetivo de diseñar un lazo de control que se ajuste a nuestra necesidad ya que en la actualidad existen diferentes variaciones de PLL para diferentes aplicaciones.
- Realizar múltiples pruebas al controlador, no conformarse con la estabilidad que tiene el mismo, pues en la vida real son muchos los factores que pueden afectar el rendimiento del sistema.
- Buscar en la literatura técnicas o procedimientos que ayuden a la simplificación del trabajo, como en este caso fue la transformada de Park, permitiendo trabajar con una sola señal continua en lugar de tres señales sinusoidales.

5.3. Trabajo futuro

La literatura sobre métodos de sincronización para inversores trifásicos es bastante extensa, tal como se puede apreciar en la Tabla 2.2, por tanto es necesario realizar un análisis de como actúa cada uno de estos métodos con respecto a la sincronización de un inversor fuente de voltaje a una microrred.

Bibliografía

- [1] Peláez M., Espinoza J. “Energías Renovables en el Ecuador: situación actual, tendencias y perspectivas. ”, Universidad de Cuenca , Cuenca, Ecuador 2015.
- [2] ARCONEL. “Balance Nacional de Energía Eléctrica”, Ecuador 2020.
- [3] Miret J., De Vicuña J., Guzmán R., Camacho A., Ghahderijani M. “A flexible experimental laboratory for distributed generation networks based on power inverters”, *Energies*, 2017.
- [4] Palizban O., Rezaei M., Mekhilef S. “Active and reactive power control for a hybrid system with photovoltaic panel, wind turbine, fuel cells, electrolyzer and super capacitor in off-grid mode”, 2011 IEEE International Conference on Control System, Computing and Engineering, Estados Unidos de América 2011.
- [5] Nuñez O., Ortiz Villalba O., Palma-Behnke R. “Microrredes en la red eléctrica del futuro ”, *Cienc. y Technol. Rev. la Uni* , Costa Rica 2013.
- [6] Estrada D. “Análisis del método de enganche de fase, para sincronizar un inversor con una red eléctrica.”, Instituto Politécnico Nacional, México 2015.

- [7] Capaldi V. "Implementación de un PLL de alta velocidad totalmente integrado con tecnología de 65 nm.", Creative Commons, Argentina 2010 .
- [8] Pindado R. "Phase Locked-Loop (PLL): Fundamento y Aplicaciones.", Universitat Politècnica de Catalunya, Cataluña, España 2001
- [9] Valverde J. P. "Diseño de una etapa de PLL para el proyecto de diseño de un circuito integrado para análisis de espectroscopia de impedancia eléctrica.", Tecnológico de Costa Rica, Cartago, Costa Rica 2016 .
- [10] César Prieto Juan David Peña, "Diseño y Simulación de las diferentes etapas de control en una microrred eléctrica", Universidad Distrital Francisco José de Caldas, Bogotá-Colombia 2018 .
- [11] Medina Ricardo, "Microrredes basadas en Electrónica de Potencia: Características, Operación y Estabilidad", INGENIUS. 15-23. 10.17163/ings.n12.2014.02. 2014.
- [12] Pablo Pérez, "Descripción e Infraestructura de una microrred para un entorno residencial", Universidad de Valladolid, Valladolid-España 2017 .
- [13] Karen Chip, "Esquemas de control para microrredes de potencia", Universidad Autónoma de México, México 2018.
- [14] Juan Esteban Palacios, "Diseño e Implementación de estrategias de control para inversores de tensión trabajando en paralelo y funcionando como generadores sincros virtuales", Universidad Autónoma de Occidente, Cali-Colombia 2020 .

- [15] Luigi Vanfretti, “Modelación y Simulación de la máquina síncrona y su operación en sistemas de potencia”, Universidad de San Carlos de Guatemala, Guatemala 2005 .
- [16] Enrique Ramírez, “Implementación de un convertidor PWM trifásico conectado a la red con factor de potencia unitario”, Instituto Politécnico Nacional, México 2014 .
- [17] Carlos Aedo, “Algoritmos de detección de fase para sincronización y control de frecuencia de central micro hidráulica plug play”, Universidad de Chile, Santiago de Chile 2014.
- [18] Diego Estrada, “ Análisis del método de enganche de fase, para sincronizar un inversor con una red eléctrica de baja tensión”, Instituto Politécnico Nacional, México 2015.
- [19] Daniel Serrano, “Análisis Comparativo de técnicas de sincronización con la red eléctrica”, Universidad de Sevilla, Sevilla-España 2014.
- [20] Andrés Segovia, “Implementación y análisis de algoritmos de sincronización de fase para fuentes de energía renovables en sistemas trifásicos”, Universidad de Cuenca, Cuenca-Ecuador 2021.