

UNIVERSIDAD TÉCNICA DEL NORTE



Facultad de Ingeniería en Ciencias Aplicadas
Carrera de Ingeniería en Mantenimiento Eléctrico

IMPLEMENTACIÓN DE UNA CELDA DE UN INVERSOR MULTINIVEL EN CASCADA

Trabajo de grado presentado ante la Universidad Técnica del Norte previo a la
obtención del título de grado de Ingeniero en Mantenimiento Eléctrico

Autor:

Jhostyn Andrew Guachalá Valencia

Director:

MSc. Miguel Emilio Vivert del Pino

Ibarra - Ecuador

2022



UNIVERSIDAD TÉCNICA DEL NORTE

BIBLIOTECA UNIVERSITARIA

AUTORIZACIÓN DE USO Y PUBLICACIÓN A FAVOR DE LA UNIVERSIDAD TÉCNICA DEL NORTE

IDENTIFICACIÓN DE LA OBRA

En cumplimiento del Art. 144 de la Ley de Educación Superior, hago la entrega del presente trabajo a la Universidad Técnica del Norte para que sea publicado en el Repositorio Digital Institucional, para lo cual pongo a disposición la siguiente información:

DATOS DE CONTACTO			
CÉDULA DE IDENTIDAD:	1004347355		
APELLIDOS Y NOMBRES:	Guachalá Valencia Jhostyn Andrew		
DIRECCIÓN:	Av. Victor Manuel Peñeherrera y Jaime Roldos 1-124		
EMAIL:	jaguachalav@utn.edu.ec		
TELÉFONO FIJO:	06 5001418	TELÉFONO MÓVIL:	0986152869

DATOS DE LA OBRA	
TÍTULO:	IMPLEMENTACIÓN DE UNA CELDA DE UN INVERSOR MULTINIVEL EN CASCADA
AUTOR (ES):	Guachalá Valencia Jhostyn Andrew
FECHA: DD/MM/AAAA	10/05/2022
SOLO PARA TRABAJOS DE GRADO	
PROGRAMA:	PREGRADO <input checked="" type="checkbox"/> POSGRADO <input type="checkbox"/>
TITULO POR EL QUE OPTA:	Ingeniería en Mantenimiento Eléctrico
ASESOR /DIRECTOR:	PhD. Miguel Emilio Vivert del Pino

CONSTANCIA

El autor manifiesta que la obra objeto de la presente autorización es original y se desarrolló, sin violar derechos de autor a terceros, por lo tanto, la obra es original y que se el titular de los derechos patrimoniales, por lo que se asume responsabilidad sobre el contenido de la misma y saldrá en defensa de la Universidad en caso de reclamación por parte de terceros.

Ibarra, a los 10 del mes de mayo del 2022

EL AUTOR:



Jhostyn Andrew Guachalá Valencia
Cédula: 1004347355

ACEPTACION DEL DIRECTOR

UNIVERSIDAD TÉCNICA DEL NORTE

FACULTAD DE INGENIERÍA EN CIENCIAS APLICADAS

CERTIFICACIÓN DEL DIRECTOR DE TRABAJO DE GRADO

Yo, Miguel Emilio Vivert Del Pino en calidad del tutor del señor estudiante Jhostyn Andrew Guachalá Valencia certifico que ha culminado con las normas establecidas en la elaboración del trabajo de investigación titulado: **"IMPLEMENTACIÓN DE UNA CELDA DE UN INVERSOR MULTINIVEL EN CASCADA"**.

Para obtención del título de ingeniero en Mantenimiento Eléctrico, aprobado la defensa, impresión y empastado.



MSc. Miguel Vivert Del Pino
DIRECTOR DE TRABAJO DE GRADO

DEDICATORIA

El siguiente trabajo de grado se lo dedico a mis padres, porque han sido el punto clave para poder culminar con mis estudios y alcanzar cada objetivo de mi vida, porque gracias al sacrificio que ellos me han dado la fuerza para poder seguir adelante con mis estudios.

A mi hermana Melyne ya que me dio la fuerza para seguir adelante y poder ser un ejemplo en su vida.

A mis compañeros y amigos durante el trayecto de mis estudios porque me ayudaron compartiendo sus conocimientos, alegrías y tristezas.

AGRADECIMIENTOS

Agradezco a Dios, quien me a guiado y ha encaminado por el bien y asido quien me a dado la fuerza para poder terminar mis estudios.

A mi familia por haber sido el pilar en mi vida para cumplir con esta etapa de mi vida.

Agradezco a mi tutor PhD. Miguel Vivert, ya que, gracias a su gran conocimiento y profesionalismo, supo guiarme de la mejor manera para poder culminar con mi trabajo de grado.

Y por ultimo a la Universidad Técnica del Norte, por brindarme todos los conocimientos necesarios para poder culminar mi trabajo de grado.

Tabla de Contenidos

UNIVERSIDAD TÉCNICA DEL NORTE	I
IDENTIFICACIÓN DE LA OBRA	II
CONSTANCIA	III
ACEPTACION DEL DIRECTOR.....	IV
DEDICATORIA	V
AGRADECIMIENTOS	VI
Tabla de Contenidos	VII
Índice de Figuras	IX
Índice de Tablas	XI
Resumen	XII
Abstract	XIII
Introducción	XIV
Capítulo I	1
Marco teórico.....	1
1.1 Calidad de la energía	1
1.2. Convertidores de Potencia.....	2
1.3. Inversores	2
1.3.1. Inversor medio puente.....	1
1.3.2. Inversor puente completo.....	1
1.3.3. Aplicaciones	2
1.3.4. Dispositivos semiconductores de potencia.....	2
1.4. Técnicas de modulación	3
1.4.1. Técnica PWM senoidal	3
1.4.2. Técnica PWM senoidal modificada (MSPWM).....	4
1.5. Convertidores Multinivel	4
1.5.1. Inversor multinivel de diodos de enclavamiento (DCMLI)	4
1.5.2. Inversor multinivel de condensadores flotantes (FCMLI).....	7
1.5.3. Inversor multinivel en cascada (CMLI).....	9
1.5.4. Aplicaciones de los inversores multinivel	20
1.5.5. Comparación.....	21

Capítulo II	23
Marco Metodológico	23
2.1. Descripción del lugar de estudio	23
2.2. Metodología	23
2.2.1. Descripción del sistema.....	23
2.2.1.1. Descripción de una celda.	24
2.2.1.2. Técnica PSPWM.....	26
2.2.1.3. Modelo del Inversor.....	32
2.2.1.4. Diseño del Filtro de Salida.....	33
2.2.1.5 Cálculo de L y C del filtro de salida.....	34
2.2.1.6. Diseño del Filtro de Entrada.	35
Capítulo III	38
Resultados.....	38
3.1. Simulación del Funcionamiento del Prototipo	38
3.2. Implementación del Prototipo.....	42
3.3. Conclusiones	47
3.4. Recomendaciones.....	48
Referencias Bibliográficas	49
Anexos	52

Índice de Figuras

Fig. 1. Clasificación simplificada de convertidores de potencia.	1
Fig. 2. Inversor monofásico de medio puente.	1
Fig. 3. Inversor monofásico de puente completo.	2
Fig. 4. Métodos de modulación tradicional.	3
Fig. 5. Inversor multinivel de diodos de enclavamiento.	5
Fig. 6. Convertidor Multinivel FCMLI.	8
Fig. 7. Inversor multinivel monofásico de cuatro niveles.	10
Fig. 8. Salida del Inversor con onda cuasi cuadrada.	12
Fig. 9. Salida del Inversor con onda SPWM.	12
Fig. 10. Respuesta de frecuencia de la onda cuasi cuadrada.	13
Fig. 11 Respuesta de frecuencia de la onda SPWM.	13
Fig. 12 Métodos de modulación multinivel.	14
Fig. 13 Modulación PS-PWM en un inversor CHB simétrico de siete niveles.	15
Fig. 14 Modulación LS-PWM con disposición en fase (PD-PWM) en un inversor CHB simétrico de siete niveles.	16
Fig. 15 Modulación SHE en un inversor CHB simétrico de siete niveles.	17
Fig. 16 NLC en un convertidor ACHB de 27 niveles.	17
Fig. 17 NLC aplicado por redondeo y tabla de disparos en un ACHB de 27 niveles.	18
Fig. 18 NLC aplicado por comparadores de tres estados en un ACHB de 27 niveles.	18
Fig. 19 Nueva modulación híbrida (NLC-PWM) en un ACHB de 27 niveles.	19
Fig. 20 Asimetrías en convertidores multinivel (vectores y voltaje).	20
Fig. 21. Celda de potencia de puente H.	24
Fig. 22. Inversor multinivel de puente H de tres celdas.	25
Fig. 23. Forma de onda del CEMI de tres puentes H.	26
Fig. 24. Modulación PSPWM en Simulink.	27
Fig. 25. Diseño del Inversor en Simulink.	28
Fig. 26. Simulación de la Modulación PSPWM.	29
Fig. 27. Simulación de la Modulación PSPWM con zoom.	30
Fig. 28. Señal de salida de tensión sin filtro y con filtro.	30
Fig. 29. Análisis de Fourier a la tensión sin filtro.	31
Fig. 30. Análisis de Fourier a la tensión con filtro.	31
Fig. 31. Modelo del inversor.	32
Fig. 32. Filtro de salida.	33
Fig. 33. Análisis de Fourier a la Corriente de Entrada.	36
Fig. 34 Filtro de entrada.	36

Fig. 35 Modulación simulación del Prototipo.....	38
Fig. 36 Prototipo con filtro de entrada.....	39
Fig. 37 Filtro de salida del inversor.....	39
Fig. 38 Diseño en simulación del Prototipo.....	40
Fig. 39 Corriente y Voltaje de entrada al Inversor en Cascada.....	41
Fig. 40 Voltajes de Salida de cada inversor.....	42
Fig. 41 Sistema para pruebas de funcionamiento.....	42
Fig. 42 PCB del inversor.....	43
Fig. 43 PCB del inversor.....	44
Fig. 44 Salida de tensión de cada nivel del inversor.....	44
Fig. 45 Señal de salida antes del filtro de salida.....	45
Fig. 46 Voltaje RMS en el capacitor.....	45
Fig. 47 Respuesta en tensión de cada inversor.....	46

Índice de Tablas

Tabla 1. Comparación de los Inversores Multinivel	22
Tabla 2. Límites para THD a baja tensión	34
Tabla 3. Valores para simulación.	40

Resumen

Hoy en día la obtención de formas alternativas de energía eléctrica es un tema de importancia mundial, debido que la dependencia de los recursos no renovables como los hidrocarburos, el carbón mineral y el uranio, es cada día más costoso debido al agotamiento de los mismos.

Una alternativa de solución para esta problemática, es la generación de energía eléctrica mediante el aprovechamiento de la energía solar, utilizando paneles solares para la captación de la misma y convertidores multinivel para su conversión de corriente directa a corriente alterna, que es como normalmente se usa en la industria y en el hogar. En el presente trabajo de tesis se presenta una introducción de los conceptos generales sobre calidad de energía, convertidores multinivel y técnicas de modulación comúnmente empleadas para convertir la tensión DC en AC. Posteriormente, se diseña y simula el inversor multinivel monofásico de cinco niveles utilizando el software Matlab/Simulink. El control empleado para la conmutación de los transistores de potencia, es la modulación en ancho de pulso senoidal (SPWM).

El trabajo concluye, con la implementación de un prototipo de laboratorio, donde se muestra la conversión de energía de CD - CA, utilizando el método de control SPWM para un convertidor tipo puente H de cinco niveles monofásico y con carga resistiva. Las principales características del sistema desarrollado son fuentes de 30 [V], la carga es un foco incandescente comercial por el que debe de circular una corriente mínima de 4 [A], el voltaje y la corriente en la carga deben ser senoidal con una frecuencia de 60 [Hz].

Palabras claves: Inversor, multinivel, Puente H, Modulación SPWM.

Abstract

Nowadays, obtaining alternative forms of electrical energy is an issue of worldwide importance, due to the fact that dependence on non-renewable resources such as hydrocarbons, coal and uranium is becoming more and more costly due to their depletion.

An alternative solution to this problem is the generation of electric energy by means of the use of solar energy, using solar panels to capture it and multilevel converters for its conversion from direct current to alternating current, which is how it is normally used in industry and in the home. In this thesis work, an introduction of the general concepts of power quality, multilevel converters and modulation techniques commonly used to convert DC to AC voltage is presented. Subsequently, the five-level single-phase multilevel inverter is designed and simulated using Matlab/Simulink software. The control used for the switching of the power transistors is sinusoidal pulse width modulation (SPWM).

The work concludes with the implementation of a laboratory prototype, which shows the DC-AC power conversion using the SPWM control method for a single-phase five-level H-bridge converter with resistive load. The main characteristics of the developed system are 30 [V] sources, the load is a commercial incandescent bulb through which must circulate a minimum current of 4 [A], the voltage and current in the load must be sinusoidal with a frequency of 60 [Hz].

Keywords: Inverter, multilevel, H-bridge, SPWM modulation.

Introducción

Contextualización

En la actualidad el gran consumo de los recursos energéticos de origen fósil ha incrementado exponencialmente, por ende, se trata de encontrar grandes fuentes de energía que reemplacen al carbón, petróleo y gas natural. Las nuevas fuentes de energía deben ser renovables y que no contaminen para no tener inconvenientes en el consumo de energía eléctrica (Chavarría, 2010).

Para Martínez (2006), los inversores multinivel son utilizados como una opción para la conversión de energía de CD-CA en los rangos de media y alta potencia en la actualidad. Existen muchas aplicaciones para la conversión de la energía usando dispositivos electrónicos, por lo que actualmente se busca técnicas de control que permita el manejo de la eficiencia de la energía, por lo tanto; existen sistemas de potencia de acuerdo a su entrada o salida de voltaje y así nacen las topologías CD-CD, CD-CA (inversores), CA-CD (rectificadores) y CA-CA.

Los convertidores CD-CD se encargan de convertir el voltaje CD de entrada a otro voltaje CD de salida. Existen configuraciones como convertidor elevador (Boost), Convertidor Reductor (Buck) (Marulanda et al., 2017). En Pereda (2013), se menciona que, para manejar altas potencias o altos voltajes de salida, los inversores multinivel en cascada aventajan a los dos o tres niveles, ya que distribuyen el voltaje de salida en diferentes celdas. Los dispositivos que soportan menos voltaje son menos costosos y tienen menos pérdidas de conducción, mejorando la eficiencia al momento de repartir la corriente y el voltaje de entradas, entre más niveles tenga el inversor multinivel en cascada, menos distorsión armónica tendrá. Los inversores multinivel en cascada, están constituidos por varios inversores de puente que sus salidas están conectadas en serie. Estos inversores pueden ser usados para la conversión de energías renovables como paneles solares (Portugal, 2006).

En (Muñoz et al., 2018), mencionan que el inversor multinivel en cascada, es una de las alternativas para obtener la tensión en CA a partir de fuentes CD de baja tensión. Los inversores multinivel son usados para la conversión de la energía renovable y también para control de velocidad de motores. Los inversores multinivel serán utilizados en el futuro con mayor frecuencia, ya que amplía las posibilidades en aplicaciones en sistemas de energía renovables, en corrección de factores de potencia o también en la ayuda de reducción de armónicos en las redes de transmisión y distribución (Galarza & Quizhpi, 2014). De acuerdo a (Chauca et al., 2014), existen varias topologías para el diseño de los inversores multinivel como capacitores flotantes, diodos anclados o también inversores tipo puente H en cascada.

Los inversores tipo puente en cascada disponen una entrada de CD y mediante los diseños de transformación pueden llegar a obtener un voltaje requerido. En Brárcenas (2002), se manifiesta que con las nuevas eras se necesitan que los nuevos dispositivos contengan menor tamaño por cada nivel y mayor capacidad de tensión en algunas aplicaciones específicas, por lo cual los convertidores multinivel en cascada son la solución para estos requerimientos.

Actualmente los inversores multinivel en cascada, son utilizados en las industrias para el control de velocidad de motores, aunque estos inversores son confiables; existen muchas fallas que pueden ocurrir dando como resultado que los motores no tengan un adecuado funcionamiento causando que se pare el sistema. Por estos motivos se desea, que aún si existiera alguna falla en una celda, el inversor multinivel continúe funcionando y la celda que tenga alguna avería salga de funcionamiento. De igual manera, se desea que de ser posible aumente la capacidad del inversor mientras está funcionando, insertando una nueva celda sin ser necesaria la parada del inversor (Aguayo et al., 2011). Para Lopez (2015), los inversores se caracterizan porque permiten implementar arquitecturas de la electrónica con una mejor distribución, flexibilidad, confiable y menor costo. Los inversores multinivel, conectados en serie ayudan a la ganancia del voltaje y a que trabaje a altas frecuencias y corrientes según las necesidades de las cargas.

Planteamiento del problema

En la actualidad, se necesitan dispositivos que trabajen con grandes voltajes, corrientes y frecuencias, ya que se amplían las posibilidades en aplicaciones en sistemas de energía, también los nuevos dispositivos necesitan sistemas que contengan una mejor distribución, tengan un bajo costo y además que tengan el menor número de elementos.

¿Cómo implementar una celda de un convertidor multinivel de puentes H capaz de ser estandarizada y replicada para un convertidos multinivel en cascada?

Justificación

Las pérdidas de conducción que presentan estos sistemas son debido al sobredimensionamiento de los elementos usados en el inversor multinivel en cascada. La importancia del presente trabajo de grado radica en la implementación de un inversor multinivel en cascada que permite la división de potencia y voltaje a la entrada dando como resultado que los elementos sean de menor tamaño y capacidad, lo que conlleva a menores pérdidas de conducción; de esta forma se obtendrá un sistema eficiente cuando se alimenten a cargas que tengan altas corrientes y así no existan fallas al momento de su funcionamiento.

Alcance

El presente trabajo de grado está basado en una investigación de carácter tecnológico y práctico, referente a la implementación de un inversor multinivel en cascada donde la simulación se realizó en el software MATLAB, donde se diseñó y realizaron pruebas de funcionamiento para la implementación en físico, estimando los siguientes valores: polarización de 60 V máximo en cada celda y corriente de salida mínima de 1.5 A.

La implementación del trabajo se realizó en el laboratorio de Control de las instalaciones de la carrera de Ingeniería Eléctrica, es decir; el alcance de la investigación fue tecnológico y práctico.

Objetivo General

Implementar un inversor multinivel en cascada de dos puentes H para el mejoramiento de la eficiencia del inversor mediante el análisis de los inversores multinivel en cascada.

Objetivos Específicos

1. Realizar un estudio sobre el funcionamiento y las aplicaciones del inversor multinivel en cascada.
2. Diseñar un inversor multinivel en cascada.
3. Implementar el sistema y validación de su funcionamiento.

Capítulo I

Marco teórico

En el presente capítulo, se presenta una breve introducción de la calidad de la energía; se realiza una breve revisión de los distintos tipos de convertidores de potencia haciendo énfasis en los convertidores de corriente directa a corriente alterna (convertidor CD/CA) analizando sus características. Se presentan las topologías de inversores multinivel, estudiando las diferentes topologías con sus principales características y aplicaciones. Así mismo, se analizan las características eléctricas presentes en los dispositivos semiconductores, condensadores y demás elementos de los inversores multinivel con el fin de determinar los dispositivos a utilizar en la implementación del inversor.

1.1 Calidad de la energía

La energía eléctrica es de vital importancia debido a que en la actualidad existen cada vez más equipos y sistemas que dependen de la electricidad como fuente de energía. De igual manera, existen equipos que requieren de una buena calidad y seguridad del suministro eléctrico (Brárcenas, 2002).

La industria requiere sistemas eléctricos que alimenten cargas cada vez más complejas y que permitan un aprovechamiento óptimo de la misma. Debido a lo anteriormente descrito es necesario estudiar: a) la manera adecuada de entregar la energía de forma confiable y eficiente a las diferentes cargas y b) la forma de mejorar su distribución y su consumo (Jimenez, 2012).

Debido a que un equipo conectado a la red eléctrica queda interconectado con otros sistemas, cualquier disturbio presente en la misma afecta de manera directa o indirecta a las demás cargas conectadas. Por esta razón, la eficiencia en el manejo y consumo de la energía eléctrica actualmente es un área de estudio de interés debido al peso económico que representa en los distintos tipos de consumidores.

La conversión de energía es indispensable debido a la gran variedad de cargas existentes; esta conversión se realiza a través de convertidores de potencia los cuales se encargan de entregar de manera apropiada la energía eléctrica ya sea en CD o en CA. Los convertidores de potencia permiten regular la energía entregada a la carga haciendo eficiente su consumo, tanto el ambiente industrial como en el doméstico.

1.2. Convertidores de Potencia

En Rashid (2004), indica que los principales tipos de convertidores de potencia son:

- Convertidor Corriente Alterna/Corriente Directa (CA/CD). - Estos convertidores son comúnmente llamados rectificadores. Su implementación más simple se la realiza con diodos y un filtro para obtener el nivel de CD deseado. Versiones más elaboradas incorporan interruptores controlados.
- Convertidor Corriente Directa/Corriente Directa (CD/CD). – Estos convertidores son frecuentemente utilizados para elevar o disminuir tensiones de CD de salida respecto a la de entrada y obtener un nivel de CD regulada.
- Convertidor Corriente Alterna/Corriente Alterna (CA/CA). – Estos convertidores proporcionan una tensión de salida en CA controlada a partir de una tensión de entrada de CA sin regular.
- Convertidor Corriente Directa/Corriente Alterna (CD/CA). – Estos convertidores son comúnmente llamados inversores y producen una tensión en alterna controlada en su salida a partir de una tensión de CD a la entrada.

Los convertidores son ampliamente utilizados en gran variedad de equipos eléctricos y su importancia radica en que proporcionan un control sobre las variables de salida como: la corriente, tensión o frecuencia.

1.3. Inversores

Los conversores de potencia se pueden clasificar en cuatro grupos según la forma de energía convertida como se puede ver en la Figura 1. El inversor a desarrollar es el multinivel que se encuentra enmarcado en el recuadro rojo, estos conversores están enfocados aplicaciones de alta potencia (1 – 50 MW) y media tensión (2.3 – 6.6 kV) (Rashid, 2004).

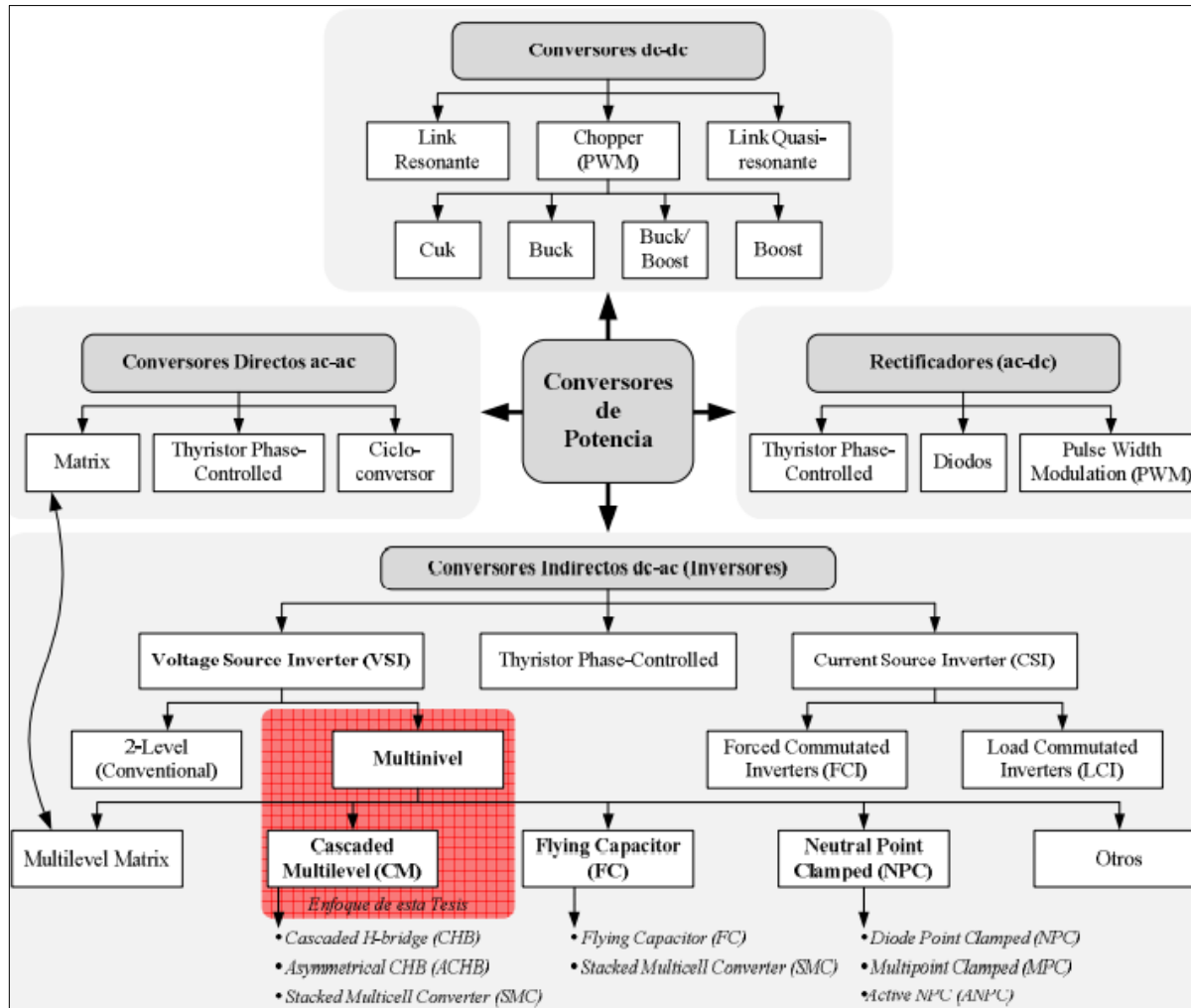


Fig. 1. Clasificación simplificada de convertidores de potencia.
Fuente: (Pereda, 2013).

Los inversores son ampliamente utilizados para el control de motores, sistemas de alimentación ininterrumpibles (UPS; por sus siglas en inglés) y en general, en aplicaciones que sea necesario tener una tensión de salida en CA controlada. También, los inversores son utilizados para resolver problemas de distorsión en la red eléctrica como: contaminación armónica, mala regulación, bajo factor de potencia, otros. Todos los tipos de inversores en sus variantes de medio puente y puente completo, utilizan dispositivos semiconductores de potencia para proporcionar la tensión de salida deseada. En los inversores ideales la salida debería ser una señal sin contenido armónico, sin embargo; en la práctica el contenido armónico depende en gran medida del tipo de control empleado para la generación de las señales de conmutación.

1.3.1. Inversor medio puente

Estos tipos de inversores están formados por dos interruptores S_1 y S_2 , la salida se toma en el punto A y la referencia es el punto medio de las fuentes de alimentación (Ver Figura 2). En este tipo de inversores, cada condensador está cargado a una tensión $\frac{V_{cd}}{2}$.

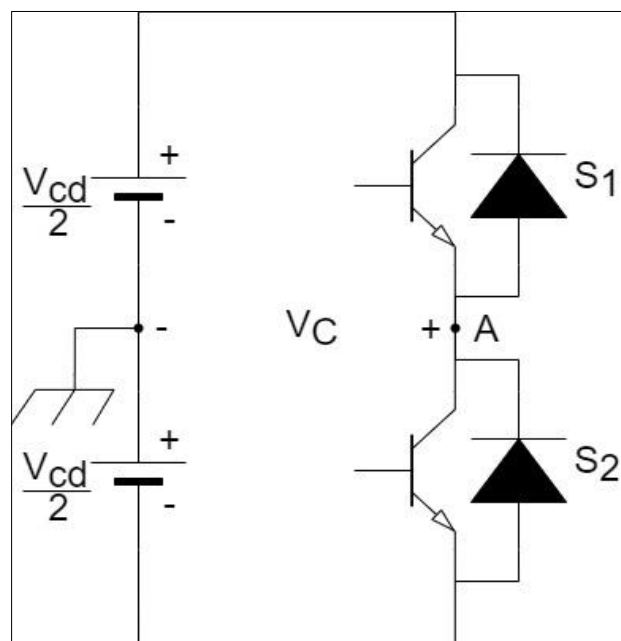


Fig. 2. Inversor monofásico de medio puente.
Fuente: (Costa, 2011).
Elaborado por: Autor.

1.3.2. Inversor puente completo

Estos inversores presentan un mejor desempeño que los de medio puente. Proporcionan una tensión en alterna a la carga y la alimentación del inversor se realiza con una sola fuente de CD. La Figura 3 muestra la configuración para este tipo de inversor en su versión

monofásica, la cual está constituida formada por cuatro interruptores S_1 , S_2 , S_3 y S_4 ; la salida del inversor está en los puntos A y B .

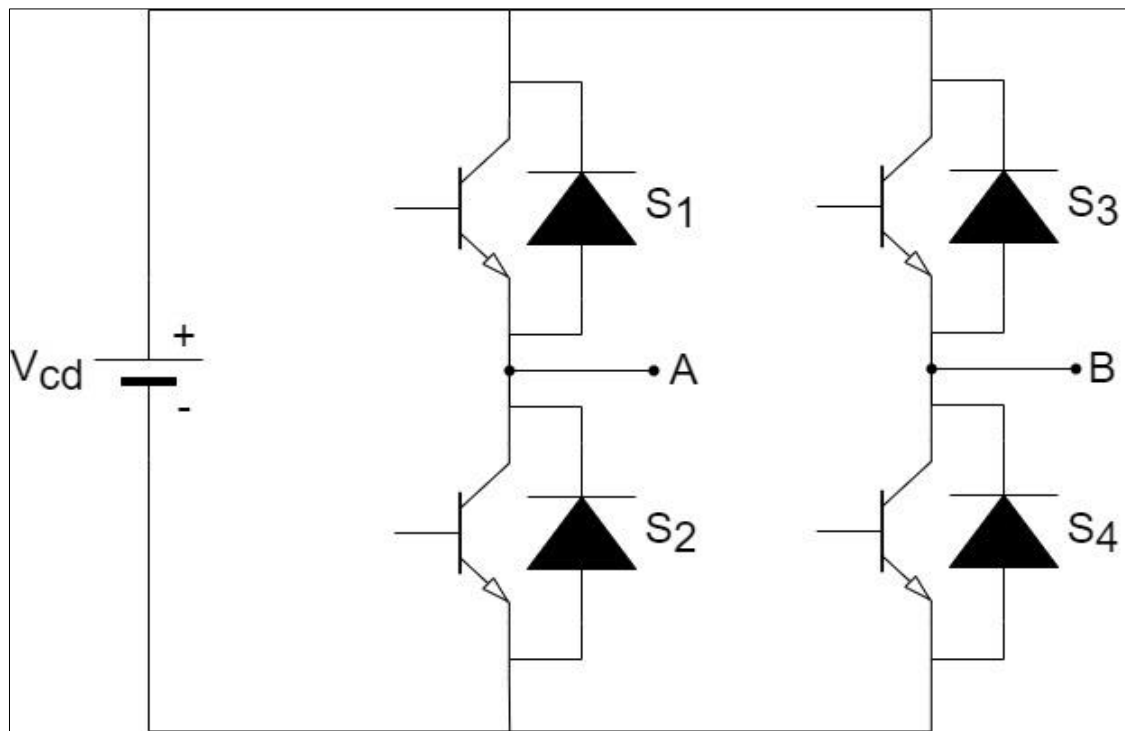


Fig. 3. Inversor monofásico de puente completo.
Fuente: (Costa, 2011).
Elaborado por: Autor.

1.3.3. Aplicaciones

Los inversores tienen aplicaciones muy variadas, pero pueden ser agrupadas en los siguientes campos:

- Control de motores, requieren que la frecuencia y tensión de salida sean variables.
- Sistemas de alimentación ininterrumpibles, requieren que la frecuencia y tensión de salida sean fijas.
- Filtros activos, para reproducir distorsiones en la red eléctrica y mejorar la forma de onda de la tensión de línea.

La importancia de los convertidores radica en la amplia utilización que tienen, sin embargo; presentan ciertas limitantes debido principalmente a los dispositivos semiconductores y a las técnicas de modulación que se emplee en ellos.

1.3.4. Dispositivos semiconductores de potencia

En los dos tipos de inversores revisados anteriormente, los esfuerzos en corriente son los mismos. Sin embargo; los dispositivos tienen esfuerzos en tensión diferentes y son mayores en el inversor de medio puente. En ambos casos, para aplicaciones de alta tensión los

interruptores deben manejar altos dV/dt lo cual significa que se deben emplear componentes robustos y por lo tanto costosos. Por otro parte, los picos de tensión que se provocan al conmutar los dispositivos semiconductores pueden llegar a tener un valor considerable por lo que es necesario sobredimensionar los componentes para evitar su destrucción (Brárcenas, 2002).

1.4. Técnicas de modulación

El método tradicional de modulación más empelado para generar ondas senoidales a la salida de un inversor de medio puente o puente completo es la modulación por ancho de pulso (PWM, por sus siglas en inglés) (Chauca et al., 2014). En la Figura 4 se presenta las técnicas de modulación empleadas en los inversores, destaca de la misma que el control puede ser realizado por corriente o voltaje y cada una de estas tendrá sus propias ventajas y desventajas; razón por la cual deben ser evaluadas de acuerdo a la aplicación en la que vayan a ser empleados.

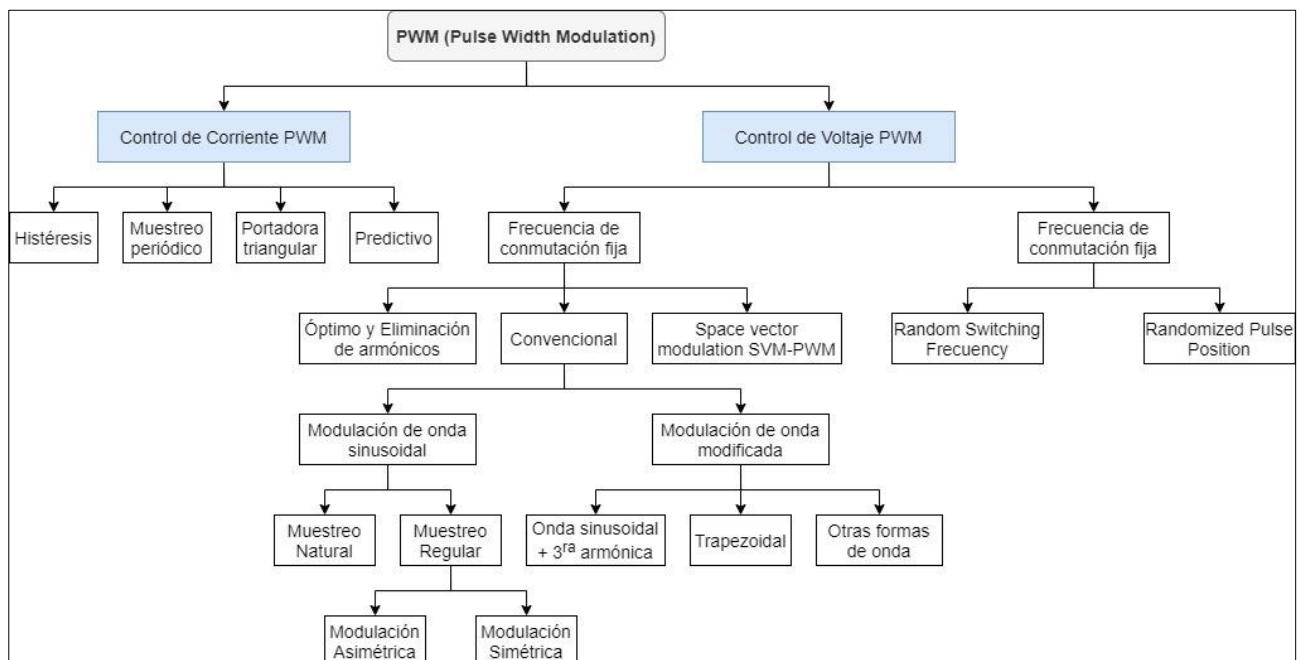


Fig. 4. Métodos de modulación tradicional.
Fuente: (Jimenez, 2012).
Elaborado por: Autor.

1.4.1. Técnica PWM senoidal

Esta técnica se basa en la comparación de niveles de tensión entre una portadora (señal triangular o rampa) y una señal moduladora de referencia (señal senoidal). La principal ventaja de esta técnica es que genera un espectro de CA sin armónicos de bajo orden, mientras que; la principal desventaja es que en sistemas trifásicos la máxima ganancia posible en CA es igual a 0.866 del voltaje de entrada. En algunas aplicaciones la ganancia

en CA tiene que ser elevada usando un transformador lo cual es un inconveniente. Sin embargo; el filtrado a la salida del inversor para obtener la señal fundamental es más eficiente debido a la alta frecuencia de conmutación. Lo anterior reduce el tamaño del filtro a la salida, pero debido a la frecuencia de conmutación los dispositivos semiconductores aumentan las pérdidas por conmutación (Galarza & Quizhpi, 2014).

1.4.2. Técnica PWM senoidal modificada (MSPWM)

Esta técnica proporciona un aumento en la ganancia de CA en comparación con la técnica PWM senoidal. Sin embargo; su implementación es más compleja y genera un aumento de alrededor del 21% en comparación con la técnica anterior en el tercer armónico de CA de línea a neutro en el caso de un inversor trifásico (Brárcenas, 2002).

Las técnicas de modulación descritas presentan pérdidas por conmutación dependiendo de la técnica. En las técnicas PWM la frecuencia de conmutación de los dispositivos influye en las pérdidas por conmutación, es decir; al aumentar la frecuencia de conmutación, las pérdidas también lo hacen. Otro punto a tener en cuenta es el factor de potencia, ya que si la carga es puramente resistiva los diodos no trabajan; pero si se tiene cargas puramente capacitivas o inductivas los IGBT's no trabajan, pero los diodos sí. Entonces se puede concluir que tanto la carga conectada al inversor como la frecuencia de conmutación influyen en las pérdidas totales.

1.5. Convertidores Multinivel

Los convertidores multinivel alimentados en tensión han surgido como una nueva opción de convertidor para aplicaciones de alta potencia. El inversor multinivel sintetiza una onda de tensión en varias tensiones de CD escalonadas. Existen diferentes topologías de inversores multinivel, sin embargo; se pueden clasificar en tres estructuras básicas (Hochgraf et al., 1994; Lai & Peng, 1996):

- Inversor multinivel de diodos de enclavamiento (DCMLI, por sus siglas en inglés).
- Inversor multinivel de condensadores flotantes (FCMLI, por sus siglas en inglés).
- Inversor multinivel de inversores en cascada (CMLI, por sus siglas en inglés).

1.5.1. Inversor multinivel de diodos de enclavamiento (DCMLI)

Este tipo de inversores sintetizan la onda sinusoidal a partir de varios niveles de tensión obtenida de condensadores que funcionan como fuentes de CD. Los condensadores se conectan en serie para dividir la tensión y de esta manera, los dispositivos de potencia operan

con una tensión menor entre sus terminales. Esta topología multinivel fue propuesta por Nabae en 1980 y es el más adoptado por la industria (Nabae et al., 1981).

Las principales características que describe el DCMLI son las siguientes:

- El esfuerzo en tensión de los dispositivos se balancea con el número de niveles, ya que la tensión que debe manejar cada dispositivo es menor.
- Debido a su principio de operación los diodos de enclavamiento de ésta pueden llegar a manejar la tensión de más de un nivel, aunque los interruptores principales sólo manejen la tensión de un solo nivel. Lo anterior provoca que se tenga que utilizar la conexión en serie de diodos para repartir las tensiones.
- Esta topología en su versión trifásica utiliza un mismo banco de condensadores para alimentar a las tres fases, lo cual hace que los condensadores deban ser de gran capacidad.
- Los diodos de enclavamiento permiten fijar los niveles de tensión en la salida.

En la Figura 5 se puede ver la topología de un DCMLI trifásico de dos niveles. En la cual cada nivel está alimentado por una fuente de $\frac{V_{dc}}{2}$, consta de 12 interruptores, emplea tres pares de diodos conectados en serie entre niveles y a la salida se conecta un motor trifásico.

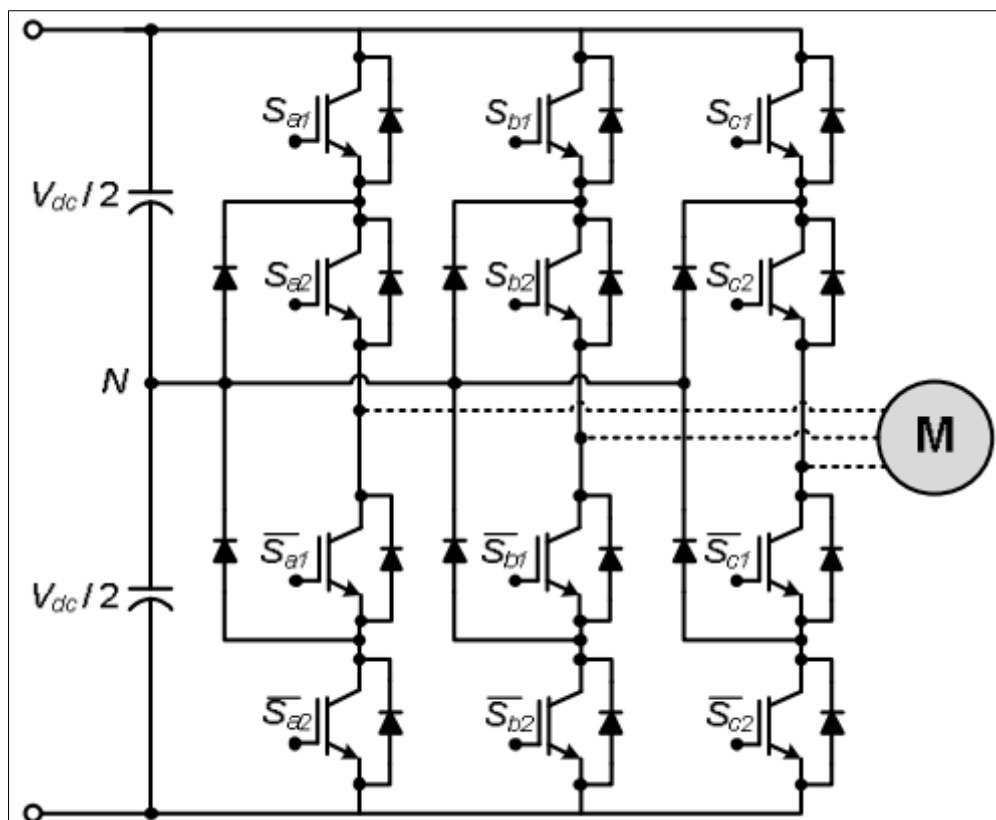


Fig. 5. Inversor multinivel de diodos de enclavamiento.
Fuente: (Rashid, 2004).

Una forma de obtener los niveles de tensión en el inversor multinivel de diodos de enclavamiento es utilizando fuentes de CD, sin embargo; es una desventaja que aumenta considerablemente el costo del inversor. Una solución consiste en emplear una sola fuente de CD y dividir la tensión por medio de condensadores conectados en serie, pero entonces se tiene el problema de desbalance de tensión en los condensadores del bus de CD y dado que los dispositivos semiconductores sólo manejan la tensión presente en un condensador del bus, el desbalance de tensión entre los condensadores se vuelve crítico. El balance de tensión entre los condensadores es muy importante, debido a que el sistema de control supone que las tensiones están correctamente divididas en el bus y aunque una posible variación de tensión puede ser compensada por el sistema de control, habrá variaciones que no podrán ser corregidas y sus efectos se reflejarán en la salida (Brárcenas, 2002).

El balance de tensión en el bus de CD es un área de investigación abierta para inversores multinivel de diodos de enclavamiento de más de tres niveles, principalmente sigue en investigación técnicas de control dedicadas a resolver este problema (Galarza & Quizhpi, 2014).

En la revisión de la literatura se encontró que se han propuesto algunas soluciones, tales como:

- Uso de convertidores CD/CD (Von Jouanne et al., 2001).
- Técnicas de modulación vectorial (Celanovic & Boroyevich, 1999).
- Rectificadores multinivel controlados (Pereda, 2013).

De las tres soluciones anteriores, la primera no es práctica debido a que utiliza convertidores reductores y elevadores para poder mantener regulada la tensión en el punto neutro. La técnica de modulación vectorial permite proporcionar la tensión de salida requerida y además balancear la tensión de los condensadores permitiendo el uso de energía activa y reactiva. Sin embargo, para inversores de más de cuatro niveles, se debe tener tres condensadores en serie en el bus de CD, haciendo que el balanceo de las tensiones se vuelva complicado y para niveles mayores este inversor resulta poco práctico debido a la cantidad de cálculos que se deben realizar.

El uso del rectificador multinivel presenta las siguientes ventajas y desventajas:

Ventajas:

- Se obtiene el balance de la tensión en los condensadores.
- Proporciona capacidad de corrección del factor de potencia (PFC, por sus siglas en inglés).
- Minimiza las pérdidas por conmutación, aumentando la eficiencia del convertidor.

- Permite operar desde condiciones iniciales de cero en tensión y corriente.
- Cuando el número de niveles es suficientemente grande, el contenido armónico será lo suficientemente bajo como para evitar el uso de filtros en la salida del inversor.
- Es posible conseguir una eficiencia alta ya que todos los dispositivos pueden ser conmutados a la frecuencia de la fundamental.
- El flujo de potencia reactiva puede ser controlado, es decir; se puede utilizar la energía reactiva para cargar y descargar los condensadores del bus de CD permitiendo controlar su tensión.
- El método de control es simple para un sistema multinivel rectificador inversor.

Desventajas:

- Se requiere un número excesivo de diodos de enclavamiento cuando el número de niveles es alto. Lo anterior se produce debido a que los diodos de enclavamiento manejan tensiones iguales o mayores a un nivel, y cuando son mayores a un nivel se tienen que conectar en serie para dividir la caída de tensión de manera equitativa.
- Cuando el número de niveles es suficientemente alto, el número de diodos requeridos hará al sistema costoso, e impráctico para implementar.
- Es difícil obtener el control del flujo de potencia real para inversores individuales. Debido a que al manejar energía activa sólo se obtiene energía de los condensadores, estos tienden a descargarse, provocando un desbalance de tensión en el bus de CD.

1.5.2. Inversor multinivel de condensadores flotantes (FCMLI)

Esta topología fue propuesta en 1992 (Meynard & Foch, 1992), y es considerada la alternativa más cercana de la topología de diodos de enclavamiento. Para este tipo de inversores multinivel, la salida puede ser expresada como la combinación de conexión de los condensadores, su estructura es parecida al DCMLI pero utiliza condensadores en lugar de diodos para establecer los niveles de tensión (Brückner et al., 2005; Floricaud et al., 2009; Thomas & Steimer, 2005). Con esta topología se soluciona la distribución desigual de las pérdidas (temperatura de la juntura) en los transistores agregando semiconductores activos en anti paralelo con los diodos, permitiendo así el flujo de una mayor corriente y potencia nominal. El Multipunto Fijo (MPC, por sus siglas en inglés) permite aumentar los niveles de voltaje utilizando condensadores asimétricos, generando una pérdida de modularidad (Damiano et al., 2001).

El conversor FCMLI es el menos popular y fue introducido en 1991 (T. Meynard & Foch, 1998). En la Figura 6 se puede ver la topología de un FCMLI trifásico de dos niveles. En la

cual cada nivel está alimentado por una fuente de $\frac{V_{dc}}{2}$, consta de 12 interruptores, emplea tres condensadores conectados entre niveles y a la salida se conecta un motor trifásico.

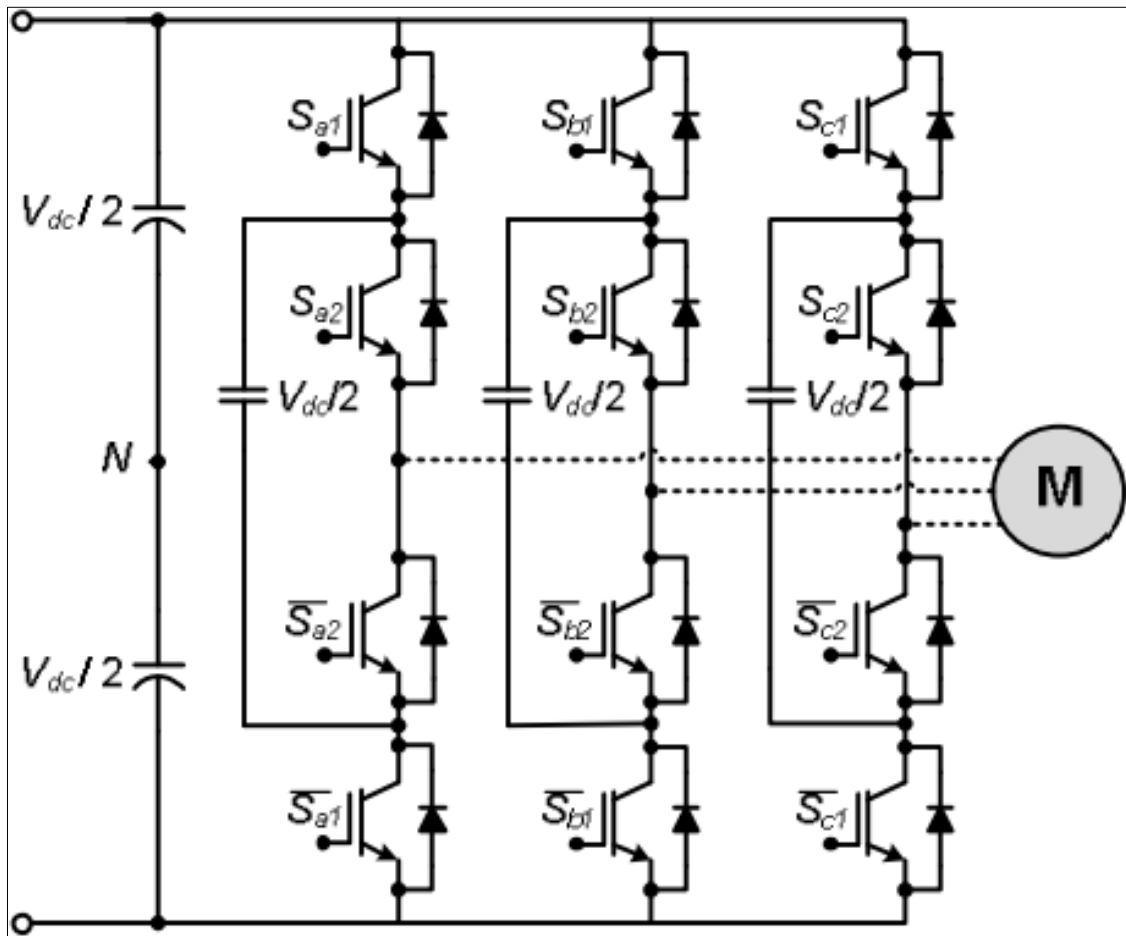


Fig. 6. Conversor Multinivel FCMLI.
Fuente: (Rashid, 2004).

Una variación del FCMLI es el Convertidor Multicelular Apilado (SMC, por sus siglas en inglés) (Gateau et al., 2001), el cual permite un aumento en la calidad y magnitud del voltaje, y; una reducción del volumen en los condensadores.

Las principales características de la topología de condensadores flotantes son:

- Los condensadores tienen un rizado de corriente a la frecuencia fundamental, o una mayor, dependiendo de la estrategia de modulación.
- El arranque es más complejo que la topología DCMLI. Debido a su misma estructura, esta topología presenta el inconveniente de necesitar cargar previamente los condensadores antes de empezar a operar, lo cual implica utilizar una secuencia de arranque (Peng, 2000), o utilizar algún sistema externo para monitorear la carga de los condensadores y mantenerlos a la tensión deseada.
- El esfuerzo en tensión de los dispositivos se balancea con el número de niveles. A mayor número de niveles, la tensión que debe manejar cada dispositivo es menor.

- Proporciona diferentes combinaciones de conmutación en los dispositivos para una misma tensión de salida, permitiendo tener flexibilidad para mantener la carga en los condensadores.

Finalmente, se presenta las ventajas y desventajas de la topología de condensadores flotantes.

Ventajas:

- Una gran cantidad de condensadores de almacenamiento proporcionan capacidad extra de energía.
- Proporciona combinaciones extra de conmutación para balancear los niveles de tensión. Esto también es utilizado para balancear las pérdidas por conmutación o por conducción de los dispositivos semiconductores.
- Cuando el número de niveles es alto, el contenido armónico será suficientemente bajo como para utilizar un filtro de salida.
- La eficiencia es alta debido a que es posible conseguir conmutaciones en los dispositivos a la frecuencia fundamental.
- Ambas potencias, real y reactiva, pueden ser controladas, haciendo al inversor un posible candidato para transmisión en HVDC.

Desventajas:

- Se necesita un número excesivo de condensadores cuando el número de niveles es alto, son difíciles de implementar y más caros cuando se requieren condensadores voluminosos.
- El control del inversor es complicado, debido a que se necesita controlar la tensión de los condensadores y además realizar la función de inversor como tal. Debido a lo anterior la frecuencia de conmutación y las pérdidas por conmutación serán altas.

1.5.3. Inversor multinivel en cascada (CMLI)

Esta topología realiza la misma función que las anteriores, genera una tensión senoidal a partir de distintas fuentes de CD y su estructura se basa en la conexión en cascada de inversores puente completo (Tolbert & Peng, 1998). Este tipo de configuración es muy utilizada en aplicaciones en fuentes de CA y variadores de velocidad.

En la Figura 7 se puede ver la representación de un inversor multinivel conformado por cuatro niveles, en el cual cada nivel del inversor está conformado por un puente H y la salida de cada nivel está conectada en serie con el siguiente nivel. En este tipo de inversores la

salida es cuatro veces la tensión de entrada y está en los puntos *a* y *b*, el aporte de cada nivel se puede ver en la parte derecha de la Figura 7.

El inversor multinivel en cascada no usa diodos de enclavamiento o condensadores para balancear la tensión y al tener la misma fuente de alimentación en todas las etapas toma el nombre de convertidor multinivel en cascada simétrico. También, se puede obtener una mínima distorsión armónica al controlar los ángulos de disparo de los diferentes niveles de tensión (Araque et al., 2013).

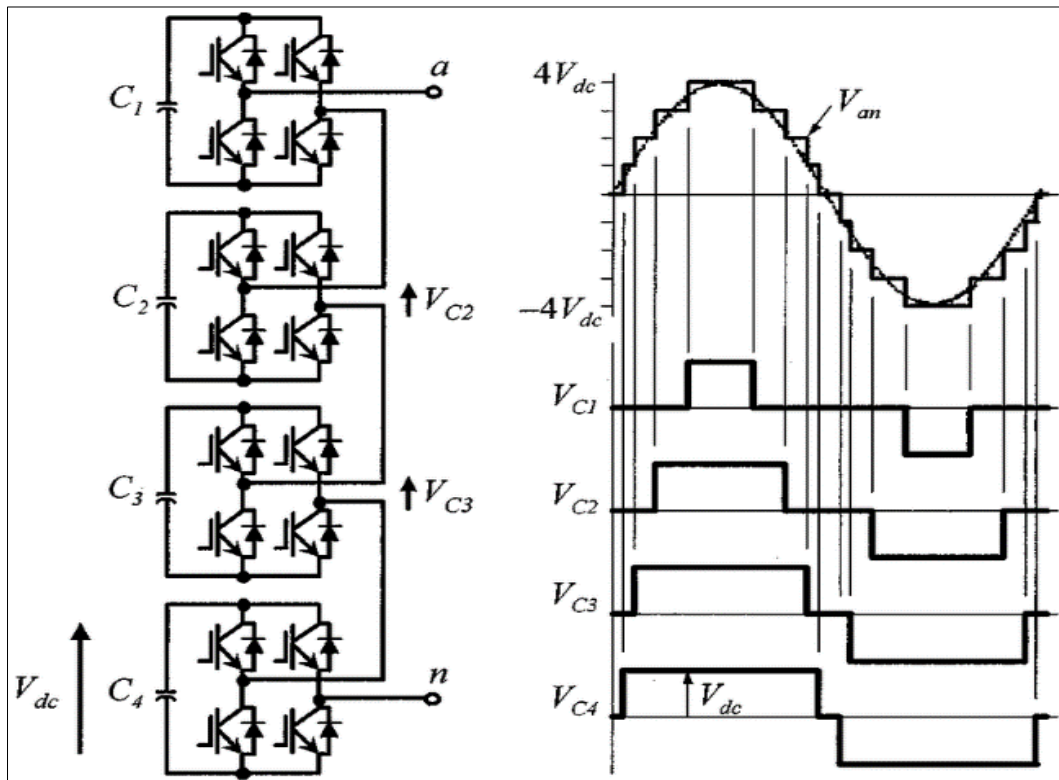


Fig. 7. Inversor multinivel monofásico de cuatro niveles.
Fuente: (Costa, 2011).

A continuación, se describen las principales características de los inversores multinivel en cascada.

- La tensión de fase es la suma de las tensiones de salida de los inversores puente completo individuales.
- Gran flexibilidad para poder incrementar el número de niveles, ya que sólo se necesita agregar inversores sin tener que rediseñar la etapa de potencia.
- Conforme aumenta el número de niveles, la tensión que soportan los dispositivos semiconductores disminuye, debido a que cada inversor maneja solo la tensión presente en su fuente de alimentación.

- Es posible balancear las pérdidas por conmutación, ya que dependiendo del número de niveles es posible, que diferentes conexiones de inversores puente completo proporcionen la misma tensión en la salida del inversor multinivel.

Siendo uno de los objetivos de la presente tesis la asimilación de la tecnología multinivel se realiza un análisis de la topología, para entender el funcionamiento y las características aprovechables de la misma y que sirven para alcanzar los objetivos planteados.

En los CMLI el número de niveles (n) se define en función del número de fuentes de CD (s), en los cuales la tensión en la salida se obtiene sumando las tensiones que proporciona cada inversor individual. Por otro lado, las tensiones de cada inversor individual pueden tener valores diferentes, sin embargo; en este trabajo se consideran que todas las fuentes tienen el mismo valor.

Para convertidores CD/CA, el inversor en cascada necesita fuentes CD separadas, por lo que se emplea una estructura de fuentes separadas para aplicaciones como: generadores de energía fotovoltaica, baterías, biomasa, otras, sin embargo; también se puede utilizar aplicaciones en donde la fuente de energía se obtiene a través de la línea de CA comercial.

Las tensiones que manejan los interruptores es la de alimentación de cada inversor individual, y la corriente es la que demanda la carga, por lo tanto, los interruptores y diodos en antiparalelo se dimensionan para manejar la tensión de un solo inversor y la corriente de la carga.

Para analizar la estructura sólo se presenta un estado de conmutación para cada tensión posible en la salida, existen otras combinaciones de conmutaciones de los dispositivos semiconductores que proporcionan la misma tensión en la salida del inversor multinivel pero el comportamiento es el mismo.

Dependiendo el tipo de control que se emplee en este tipo de inversores, se obtendrá diferentes tipos de ondas a la salida; se revisará el Caso 1 en el que se usa una onda cuasi-cuadrada y el Caso 2 que hace referencia a una onda SPWM.

En la Figura 8 se puede observar la simulación de las magnitudes de salida del Caso 1, el voltaje de salida que tiene una forma de onda cuasi cuadrada de color rojo y la corriente de salida que tiene una forma de onda cuasi sinusoidal de color azul. Se podría entonces concluir que no se ha seleccionado una técnica de modulación adecuada ya que la forma de onda de la corriente no se asemeja a una senoide y esto se puede deber a los pocos niveles del inversor.

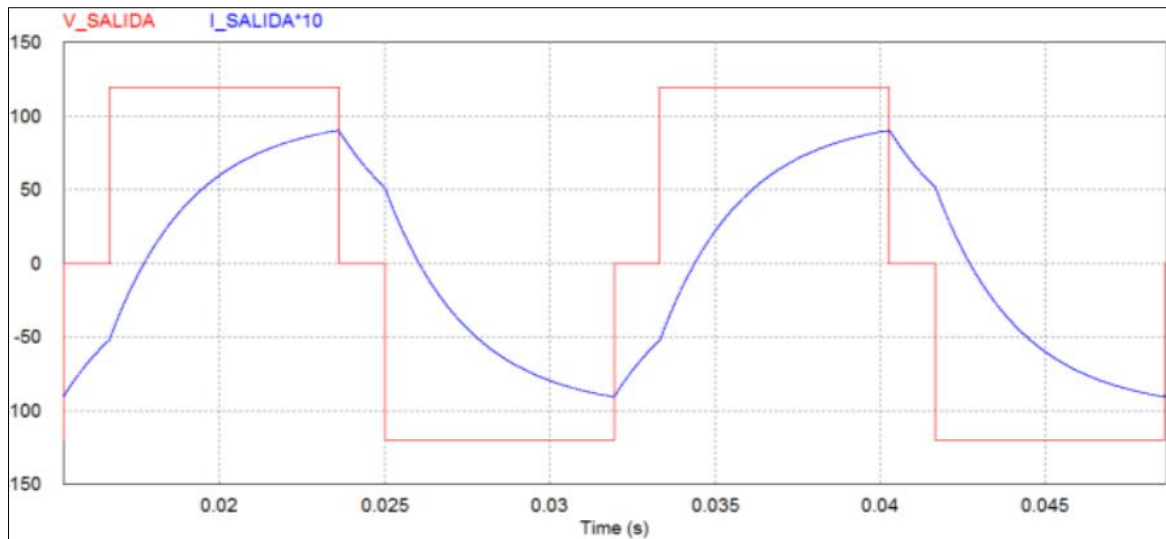


Fig. 8. Salida del Inversor con onda cuasi cuadrada.
Fuente: (Chauca et al., 2014).

En la Figura 9 se puede observar las simulaciones del Caso 2 correspondientes a un voltaje de salida con un control tipo SPWM, a diferencia del Caso 1 (Figura 8) se puede observar que la corriente de salida tiene una forma de onda sinusoidal de color azul casi pura. Se podría entonces concluir que la técnica de modulación seleccionada es adecuada.

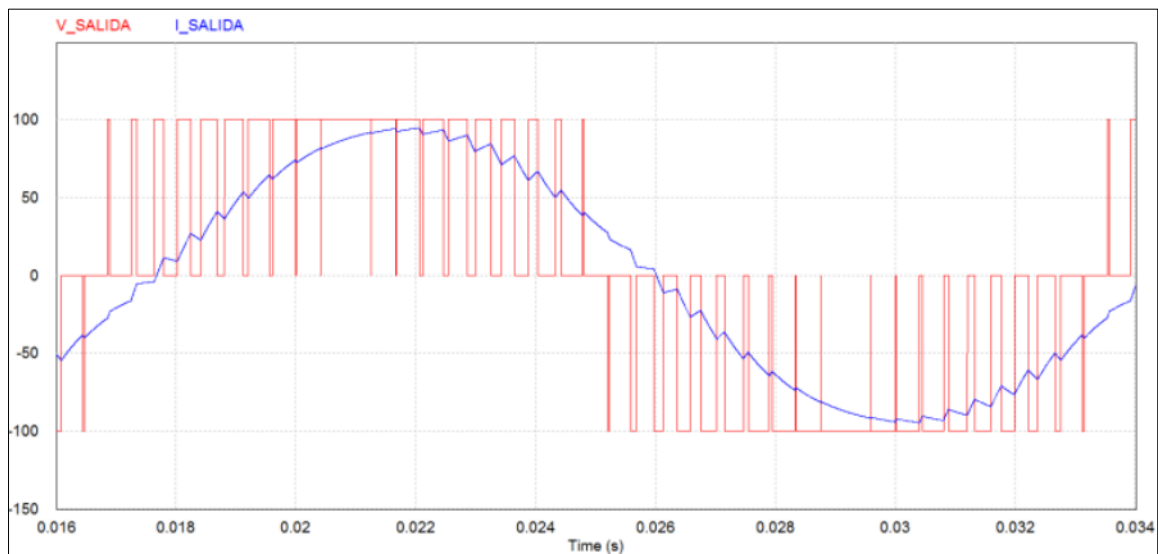


Fig. 9. Salida del Inversor con onda SPWM.
Fuente: (Chauca et al., 2014).

La diferencia entre los dos tipos de control empleados en los casos 1 y 2 (Figura 8 y Figura 9), radica en la calidad de la energía a la salida.

La Figura 10 muestra la respuesta en frecuencia del voltaje y corriente de salida del Caso 1, en la que se observa que los armónicos representan gran parte de la señal de salida, lo que se convierte en pérdidas

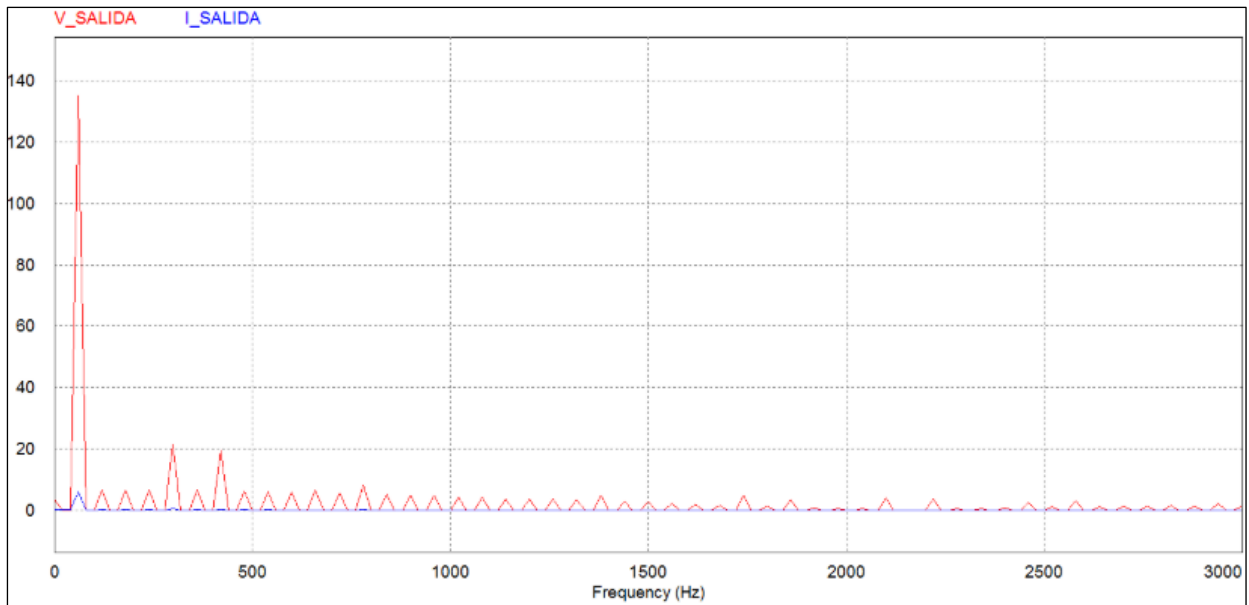


Fig. 10. Respuesta de frecuencia de la onda cuasi cuadrada.
Fuente: (Chauca et al., 2014).

En la Figura 11 se puede observar que en la respuesta a alta frecuencia para una señal SPWM, la salida en voltaje y corriente del Caso 2, tiene un menor contenido de armónicos que se refleja en el THD.

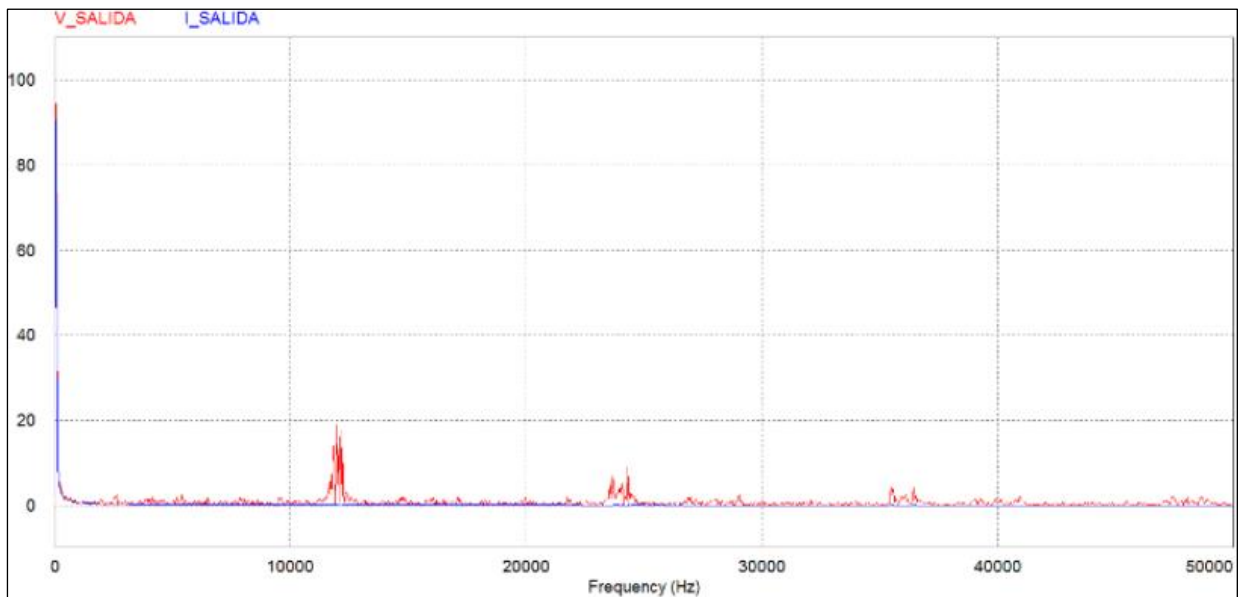


Fig. 11 Respuesta de frecuencia de la onda SPWM.
Fuente: (Chauca et al., 2014).

Cabe mencionar que si se modula adecuadamente en baja frecuencia se puede obtener un menor THD que en PWM, sin embargo; el contenido armónico está a bajas frecuencias, lo que hace que sea más difícil de eliminar.

El principal objetivo de los inversores multiniveles es sintetizar la tensión deseada a partir de la superposición de varios niveles de tensión de CD que generalmente son obtenidos de baterías, paneles solares y cualquier otra fuente de CD; es por esta razón que este tipo de

estructura se utiliza ampliamente en los sistemas de energías renovables y en vehículos eléctricos (Costa, 2011).

Las técnicas de modulación que se emplean en los inversores multinivel se pueden ver en la Figura 12, las cuáles básicamente se dividen en técnicas de espacio vectorial y por nivel de voltaje.

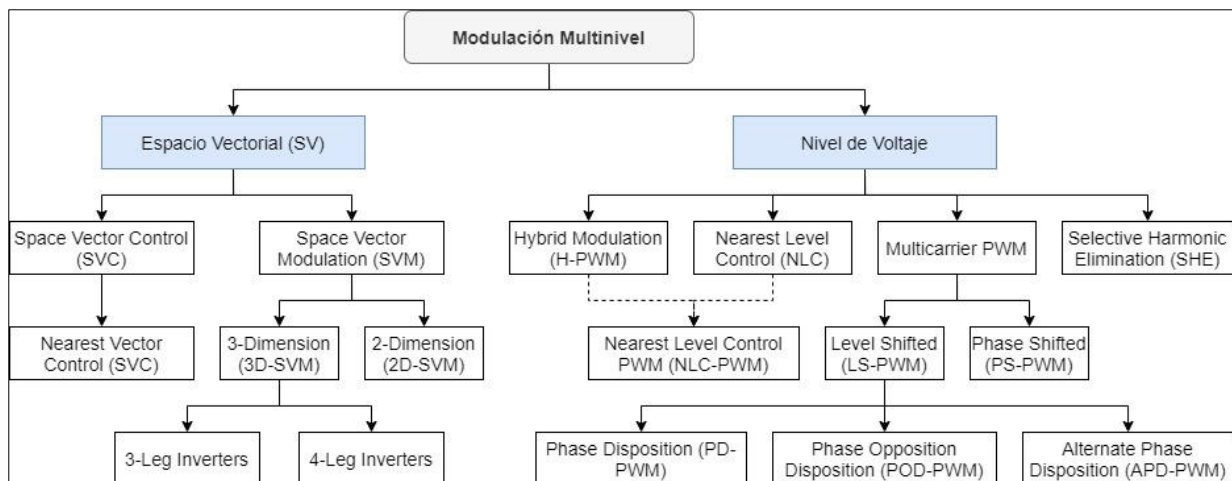


Fig. 12 Métodos de modulación multinivel.
Fuente: (Jimenez, 2012).
Elaborado por: Autor.

Los métodos Control de Vectores Espaciales (SVC, por sus siglas en inglés), Control de Nivel más Cercano (NLC, por sus siglas en inglés) y Eliminación Selectiva de Armónicos (SHE, por sus siglas en inglés) conmutan a bajas frecuencias, por lo que son empleados en aplicaciones de altas potencias para reducir las pérdidas por conmutación. En cambio, los métodos Modulación Vectorial Espacial (SVM, por sus siglas en inglés) y PWM multiportador conmutan a altas frecuencias por lo que se utilizan en aplicaciones de menor potencia y altos requerimientos. Finalmente, la modulación híbrida genera una frecuencia de conmutación mixta debido a su aplicación en topologías asimétricas, en las cuales los semiconductores que operan a mayor potencia conmutan a baja frecuencia y los que operan a baja potencia conmutan a alta frecuencia, generando de esta forma una alta calidad de potencia y bajas pérdidas de conmutación (Dixon & Morán, 2006; Pereda, 2013).

Desplazamiento de Fase PWM (PS-PWM, por sus siglas en inglés) es una modulación multiportadora PWM enfocado a convertidores multinivel simétricos FC y CM (no se puede aplicar en convertidores NPC). Al ser una modulación en el dominio del tiempo, el PS-PWM es aplicado en cada fase de forma independiente y sólo requiere de comparadores y portadoras desfasadas. En la Figura 13 se ilustra un convertidor de n puentes H que requiere la misma cantidad de portadoras triangulares que de puentes H de igual frecuencia y amplitud, pero desfasadas entre ellas por un ángulo constante $\left(\theta = \frac{360^\circ}{n-1}\right)$ y comparadas por una señal de

referencia que generalmente es una senoide. La frecuencia de conmutación de todos los semiconductores es la misma y tiene que ser igual a la frecuencia de la portadora triangular (alta frecuencia), por lo tanto; este método tiene una distribución de potencia semejante para cada semiconductor y una frecuencia de conmutación fija. La PS-PWM es una modulación unipolar que se puede generar utilizando el negativo de la señal modulada en vez de portadoras desfasadas en 180° (Dixon & Morán, 2002).

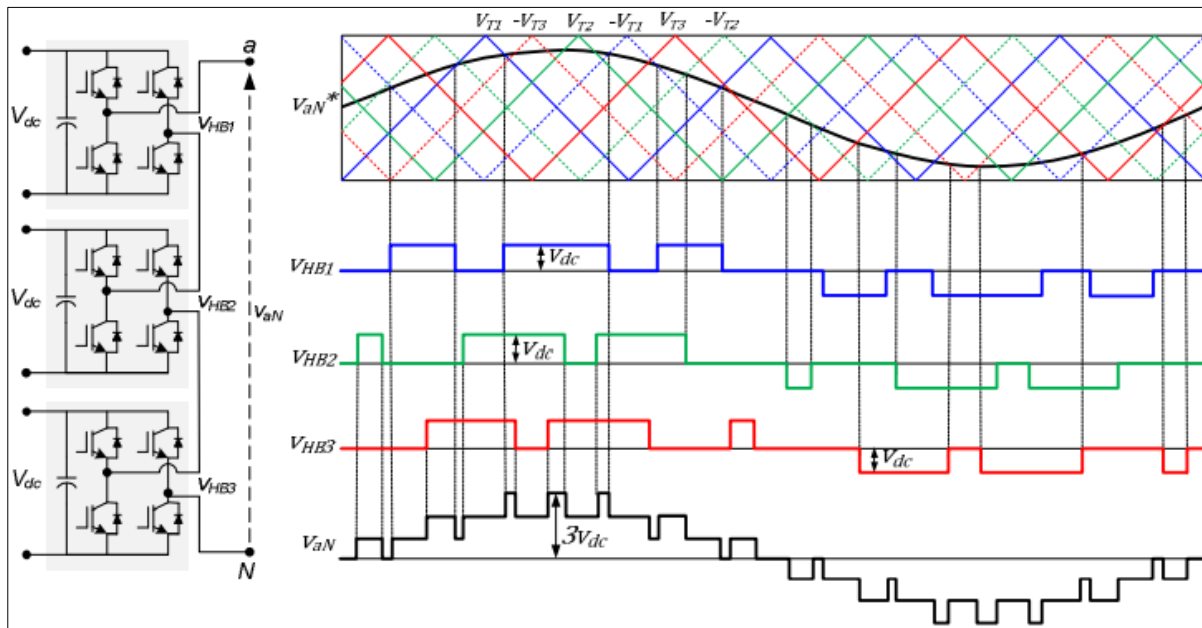


Fig. 13 Modulación PS-PWM en un inversor CHB simétrico de siete niveles.
Fuente: (Pereda, 2013).

Niveles Cambiados PWM (LS-PWM, por sus siglas en inglés) es también un método multiportadora PWM que modula cada fase de forma independiente y está enfocada a convertidores simétricos, principalmente para el convertidor NPC de tres niveles. Al igual que la modulación PS-PWM utiliza $(L - 1)$ portadoras triangulares de igual frecuencia y amplitud, sin embargo; en esta modulación las portadoras se disponen de forma vertical y la frecuencia debe ser mucho más alta para obtener resultados semejantes al PS-PWM como se muestra en la Figura 14 (esto no significa que la frecuencia de conmutación sea más alta). La modulación LS-PWM se puede clasificar en tres subcategorías de acuerdo a como se dispongan las portadoras triangulares: a) Portadoras en fase (PD-PWM, por sus siglas en inglés), b) Portadoras en contrafase (POD-PWM, por sus siglas en inglés) y c) Portadoras con fases alternadas (APD-PWM, por sus siglas en inglés) (Dixon & Morán, 2002).

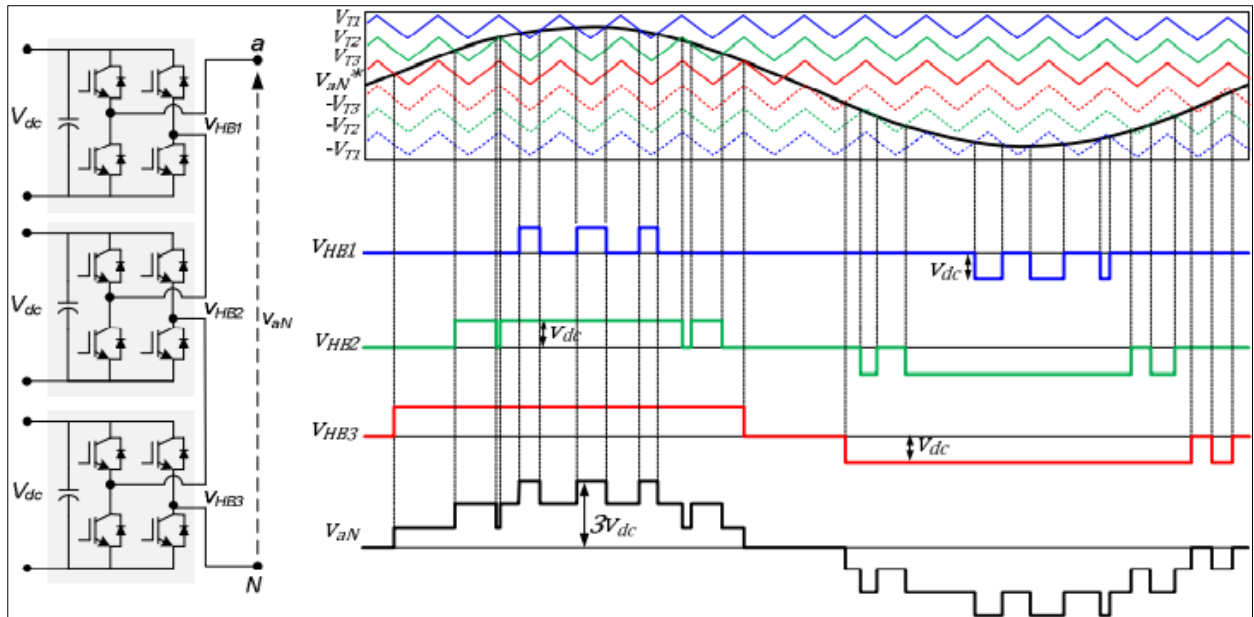


Fig. 14 Modulación LS-PWM con disposición en fase (PD-PWM) en un inversor CHB simétrico de siete niveles.
Fuente: (Pereda, 2013).

La modulación PD-PWM es la que genera el mejor resultado armónico, inclusive mejor que utilizando PS-PWM, debido a que sus portadoras están en fase. Sin embargo, la modulación LS-PWM no es ideal para convertidores CM y FC porque genera una distribución de potencia y frecuencia de conmutación desigual en cada inversor. Una solución para distribuir las pérdidas de conducción y conmutación simétricamente en todos los inversores, es rotar las portadoras triangulares de forma periódica (control más complejo) (Dixon & Morán, 2006).

Eliminación selectiva de armónicos (SHE, por sus siglas en inglés) es una modulación que se utiliza en convertidores convencionales y multinivel de alta potencia donde es primordial operar con una baja frecuencia de conmutación. La modulación SHE entrega baja frecuencia de conmutación y elimina los armónicos de bajo orden mediante el cálculo exacto del ángulo (análisis de Fourier) donde se debe realizar la conmutación; esto significa que la modulación SHE se utiliza para aplicaciones de bajos requerimientos dinámicos y pocos niveles de voltaje (usualmente hasta siete niveles) como se puede ver en la Figura 15. Generalmente el SHE se utiliza en convertidores simétricos, pero también se puede usar en asimétricos, lo que es poco común debido a que el cálculo se complica y el aporte es menor debido a la baja distorsión inherente de éstos.

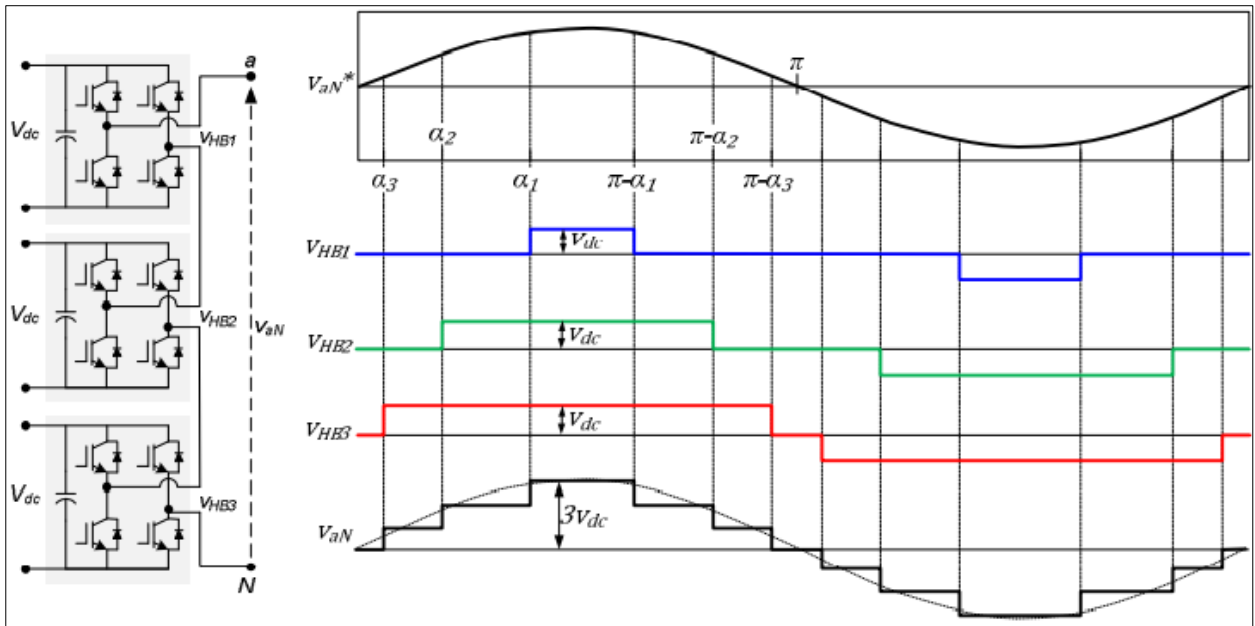


Fig. 15 Modulación SHE en un inversor CHB simétrico de siete niveles.
Fuente: (Pereda, 2013).

Control de Nivel más Cercano (NLC, por sus siglas en inglés) es un método que se basa en el dominio del tiempo y se aplica a cada fase de forma independiente. Es el método más fácil de implementar y se utiliza en convertidores con muchos niveles, sobre todo en los asimétricos. Sin embargo, no es recomendable para convertidores de pocos niveles debido a la distorsión que genera al no tener modulación alguna (genera altos armónicos). El NLC consiste simplemente en aplicar el nivel de voltaje más cercano a la referencia como se ilustra en la Figura 16, para lo cual se puede aplicar un redondeo (round) de la referencia seguida de una tabla de disparos que genere el nivel redondeado como se muestra en la Figura 17; o mediante una serie de comparadores con L_j estados en cascada (ver Figura 18), donde L_j es el número de niveles que genera el inversor j (Araque et al., 2013).

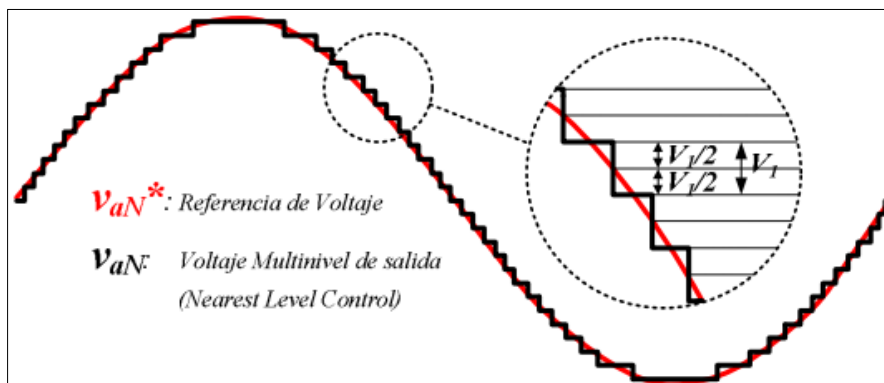


Fig. 16 NLC en un convertor ACHB de 27 niveles.
Fuente: (Pereda, 2013).

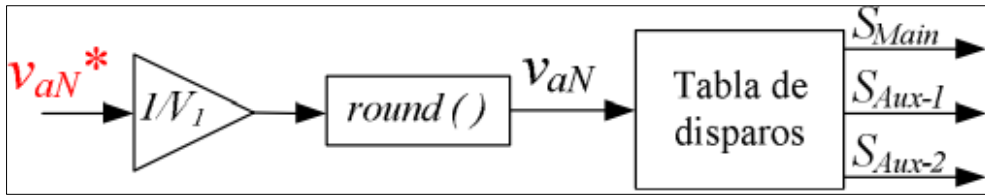


Fig. 17 NLC aplicado por redondeo y tabla de disparos en un ACHB de 27 niveles.
Fuente: (Pereda, 2013).

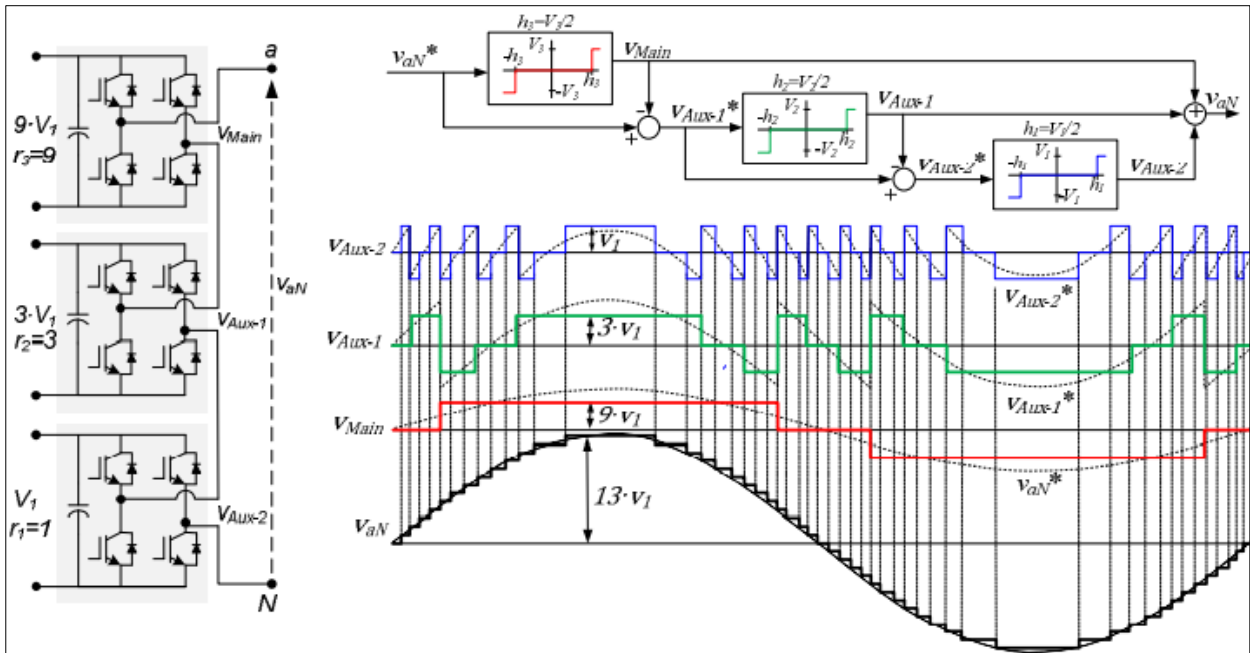


Fig. 18 NLC aplicado por comparadores de tres estados en un ACHB de 27 niveles.
Fuente: (Pereda, 2013).

Nueva Modulación (NLC-PWM, por sus siglas en inglés) es una modulación que fue recientemente introducida y aún no tiene un nombre definido. Es una modulación híbrida (H-PWM, por sus siglas en inglés) con la capacidad de utilizar asimetrías optimizadas convencionalmente como se muestra en la Figura 19. La desventaja del NLC-PWM en comparación con la modulación híbrida es un leve aumento en la frecuencia de conmutación de los inversores más grandes, pero los armónicos obtenidos son menores debido al gran número de niveles (asimetrías óptimas) y modulación PWM (Araque et al., 2013; Dixon & Morán, 2002, 2006).

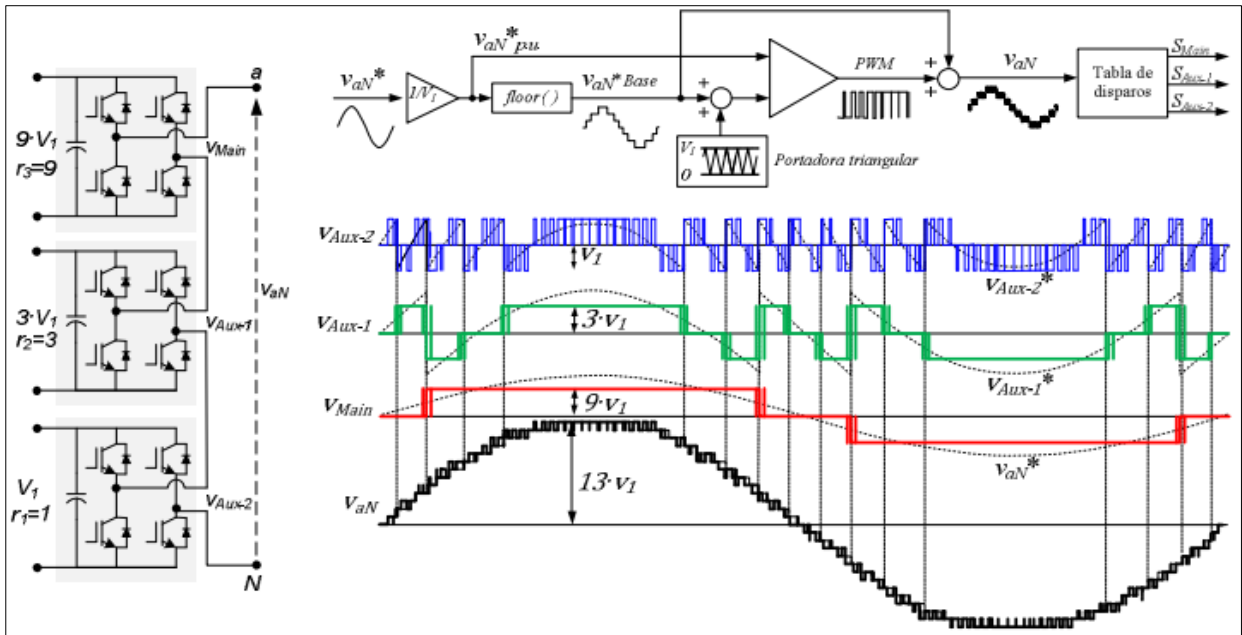


Fig. 19 Nueva modulación híbrida (NLC-PWM) en un ACHB de 27 niveles.
Fuente: (Pereda, 2013).

Cabe mencionar que todas las topologías de inversores multinivel producen una forma de onda de salida similar, la cual está formada por escalones de tensión, proporcionando así una tensión de gran calidad y lo más parecido posible a la forma de onda que se pretende reproducir. Dependiendo el número de niveles del inversor el contenido armónico a la salida disminuye (Lai & Peng, 1996).

Con lo anteriormente descrito, se puede concluir que el desarrollo de los convertidores multinivel está ligado a la necesidad de adaptar o desarrollar nuevos métodos de modulación y control que cumplan con tres objetivos: a) extender la robustez de los métodos tradicionales, b) controlar el mayor número de semiconductores, y c) aprovechar las ventajas inherentes de los convertidores multinivel (Dixon & Morán, 2006).

La Figura 20 muestra un convertidor CHB donde la asimetría optimizada es 1:3 (voltajes en potencia de tres) porque los inversores usados son puentes H (tres niveles). Si se aumenta la asimetría, se generan más vectores y niveles de voltaje, incrementando la calidad de potencia y reduciendo los niveles (vectores) redundantes, los cuales están marcados en gris oscuro.

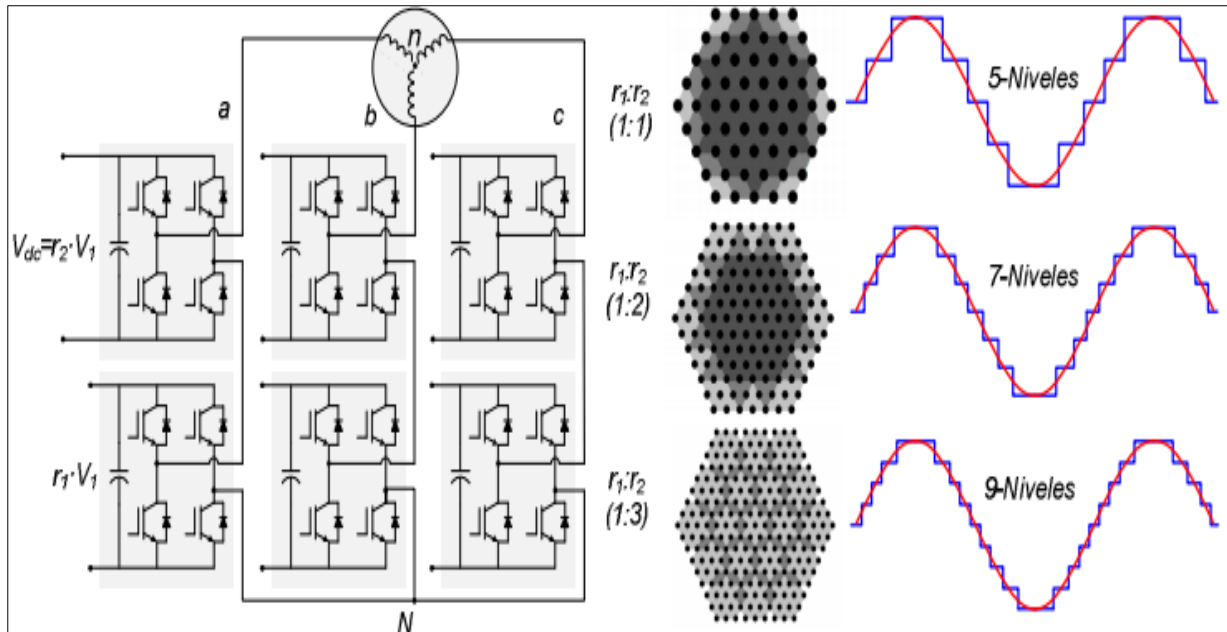


Fig. 20 Asimetrías en convertidores multinivel (vectores y voltaje).
Fuente: (Pereda, 2013).

Para la mayoría de las aplicaciones donde se requiere una buena respuesta dinámica, bajo contenido armónico, alta eficiencia y baja interferencia electromagnética esta topología es la más apropiada.

Ventajas:

- Requiere la menor cantidad de componentes entre todos los inversores multinivel para obtener el mismo número de niveles de tensión. Lo anterior implica que cuando se necesita incrementar el número de niveles no se tiene que incluir más diodos o condensadores extra.
- Se puede lograr un circuito impreso y construcción modular debido a que cada nivel tiene la misma estructura. No es necesario rediseñar la etapa de potencia y solo se tienen que realizar conexiones entre inversores puente completo individuales.
- Los dispositivos semiconductores manejan solo la tensión presente en una fuente CD.

Desventajas:

- Necesita fuentes de CD separadas. Cada inversor en cada rama del inversor multinivel se debe alimentar con una fuente independiente de CD.

1.5.4. Aplicaciones de los inversores multinivel

Los inversores multinivel son ampliamente utilizados en fuentes de CA, compensadores de potencia activa y reactiva, accionadores para motores eléctricos, otros. En general, los

campos de aplicación están relacionados con respecto a la potencia y a la tecnología de semiconductores a utilizar:

- Inversores con GTO arriba de 3kV (tracción, inducción, calentamiento).
- Inversores con IGBT y MOSFET desde 1000 V (variadores de velocidad, troceadores a alta frecuencia).

Por su estructura, los inversores multinivel son la mejor opción para aplicaciones de media y alta tensión, debido a la manera en que se distribuye la tensión en los dispositivos semiconductores, las bajas pérdidas por conmutación y el mínimo de contenido armónico en la tensión de salida.

1.5.5. Comparación

Existe interés en aplicar los inversores multinivel en el área de calidad de la energía e implementarlo como filtro activo, esto es como fuente controlada de potencia activa o reactiva con el objetivo de realizar compensación de tensión. Las ventajas de los inversores multinivel sobre los inversores convencionales se deben a su estructura, sin embargo; debido al diferente funcionamiento de las tres topologías existentes es necesario hacer una comparación y encontrar la más adecuada para su utilización como filtro activo. Los principales puntos de interés en la comparación son:

- Manejar energía activa y reactiva.
- Flexibilidad para proporcionar una determinada tensión en la salida.
- Funcionamiento del control o técnica de modulación en particular.

La comparación se basa en revisar los esfuerzos en corriente y tensión presentes en los interruptores de potencia de las diferentes topologías multinivel, la cantidad de dispositivos semiconductores necesarios para obtener determinado número de niveles de tensión en la salida. Los resultados para las topologías monofásicas se presentan en la Tabla 1, en donde n es número de niveles.

TABLA 1
Comparación de los Inversores Multinivel.

Parámetro	DCMLI	FCMLI	CMLI
Interruptores	$(n - 1) \cdot 2$	$(n - 1) \cdot 2$	$(n - 1) \cdot 2$
Diodos	$(n - 1) \cdot 2$	$(n - 1) \cdot 2$	$(n - 1) \cdot 2$
Diodos de enclavamiento	$(n - 1) \cdot (n - 2)$	0	0
Condensadores del bus de CD	$(n - 1)$	$(n - 1)$	$\frac{n - 1}{2}$
Condensadores de balanceo	0	$\frac{(n - 1) \cdot (n - 2)}{2}$	0
EMI	Baja	Baja	Baja
dV/dt	Baja	Baja	Baja
Tensión que bloquean los diodos	≥ 1 nivel	1 nivel	1 nivel
Apropiado para manejar energía reactiva	Si	Si	Si
Apropiado para manejar energía activa	No	Si	Si
Flexibilidad para proporcionar un nivel de tensión	Baja	Alta	Media
Modularización	Complicada	Complicada	Sencilla
Transformador de salida	Si	Si	Se puede evitar

Fuente: (Galarza & Quizhpi, 2014).
Elaborado por: Autor.

En este Capítulo, se presentó la importancia de la calidad de la energía; se realizó una breve revisión de los distintos tipos de convertidores de potencia haciendo énfasis en los convertidores de corriente directa a corriente alterna (Inversores). Se analizó la topología, principales características, ventajas, desventajas y aplicaciones de los inversores DCMLI, FCMLI y CMLI. Para el desarrollo de la tesis se empleará el CMLI debido a que no usa diodos o capacitores para balancear la tensión y tiene la misma fuente de alimentación en todos los niveles, además; la tensión de salida es el resultado del producto de la tensión de entrada por el número de niveles empleados en el inversor. De igual manera, se realizó el estudio de las técnicas de modulación empleadas para los inversores multinivel con sus principales características, ventajas y desventajas; del estudio realizado se optó por emplear la técnica de modulación PSPWM para el CMLI. Finalmente, se analizaron los semiconductores comúnmente empleados en los inversores multinivel y se presentó una tabla que resume y compara los tres inversores multinivel estudiados DCMLI, FCMLI y CMLI.

Capítulo II

Marco Metodológico

Este capítulo tiene como finalidad presentar la metodología, los cálculos específicos acerca de los diferentes componentes que forman parte del inversor multinivel en cascada. De igual manera se expone el diseño del inversor multinivel en cascada en el software MATLAB/Simulink y se presenta el diseño del filtro de entrada, filtro de salida y el análisis de armónicos.

2.1. Descripción del lugar de estudio

La implementación del trabajo se realizará en el Laboratorio de Control de la carrera de Ingeniería Eléctrica que se encuentra en las instalaciones de la Universidad Técnica del Norte de la ciudad de Ibarra, Provincia de Imbabura.

2.2. Metodología

Para la implementación del inversor multinivel en cascada, se partió de los requerimientos de diseño para su posterior modelamiento. Para lo cual se aplicó la siguiente metodología:

- Se indagó en investigaciones similares a la temática propuesta en motores de búsqueda confiable como SCOPUS, IEEEExplorer, WebOfScience, Science Direct y Google académico. Esto permitió escoger la topología que se emplearía para el diseño, simulación y posterior implementación del inversor multinivel en cascada.
- Con los requerimientos de diseño, se procedió a dimensionar los componentes del inversor, los mismos que están sustentados por los cálculos y la simulación.
- Antes de proceder a la implementación física del inversor, se realizaron varias simulaciones en Simulink para comprobar que el inversor cumpla con todos los requerimientos de diseño.
- Finalmente, se procedió a la implementación física del inversor y a realizar las distintas pruebas de funcionamiento para dar a conocer el funcionamiento real del sistema desarrollado.

2.2.1. Descripción del sistema

El sistema a desarrollar consiste en inversor multinivel en cascada de puente H monofásico de siete niveles empleando MOSFET's como semiconductores con una tensión de entrada máxima de 30 [V] por celda, una tensión de salida de 60 [V] y una corriente de salida mínima de 4 [A]. Para disminuir las pérdidas por conmutación se trabajará con una frecuencia de 20 [kHz] y para el control del sistema se empleará la placa DSP.

Para el desarrollo del presente trabajo de titulación se empleará el software MATLAB en el cual se realizará los cálculos numéricos y en Simulink se modelará el sistema.

2.2.1.1. Descripción de una celda. Cada celda de potencia se compone por un par de interruptores y una fuente aislada, el número de niveles en la salida del CMLI pueden incrementarse añadiendo más de una celda, sin embargo; se requiere de más interruptores y fuentes. En la Figura 21 se muestra la celda de potencia de puente H, donde V_{dc} es el voltaje de alimentación en DC; $S_{11}, S_{12}, S_{13}, S_{14}$ son los semiconductores IGBT o MOSFET y entre los puntos A y B se mide la tensión de salida.

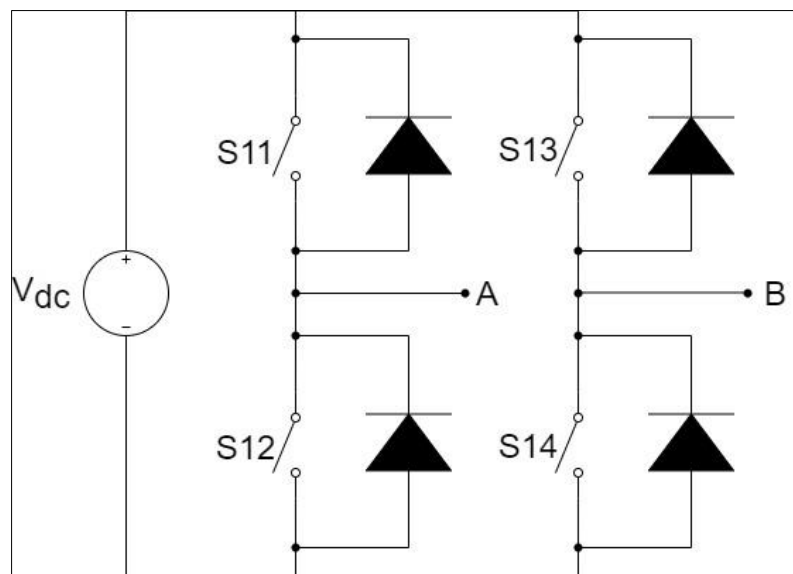


Fig. 21. Celda de potencia de puente H.
Fuente: (Brárceñas, 2002).
Elaborado por: Autor.

En el presente trabajo se propone el desarrollo de un inversor multinivel de puente H en cascada, la topología de este inversor se muestra en la Figura 22; donde, H_{Bi} es el puente H i - ésimo, V_{dci} es la fuente de alimentación del H_{Bi} y V_{Hi} es la tensión de salida del H_{Bi} . En las terminales a y b es la salida del inversor multinivel.

En un inversor multinivel de igual tensión en cascada (CEMI), todos los enlaces de CD son iguales, la expresión de esta relación se indica en la Ecuación (1).

$$V_{dc1} = V_{dc2} = \dots = V_{dcs-1} = V_{dcs} = E \quad (1)$$

donde, E es el voltaje del primer puente H, que en el CEMI es el mismo en todos los puentes H.

La Ecuación (2) permite calcular el número de niveles que tiene el CEMI.

$$n = 2s + 1 \quad (2)$$

donde, n es el número de niveles y s es el número de puentes H. En este tipo de inversores para calcular la amplitud máxima del CEMI se debe emplear la Ecuación (3), donde A es la amplitud máxima a la salida del inversor.

$$A = sE \quad (3)$$

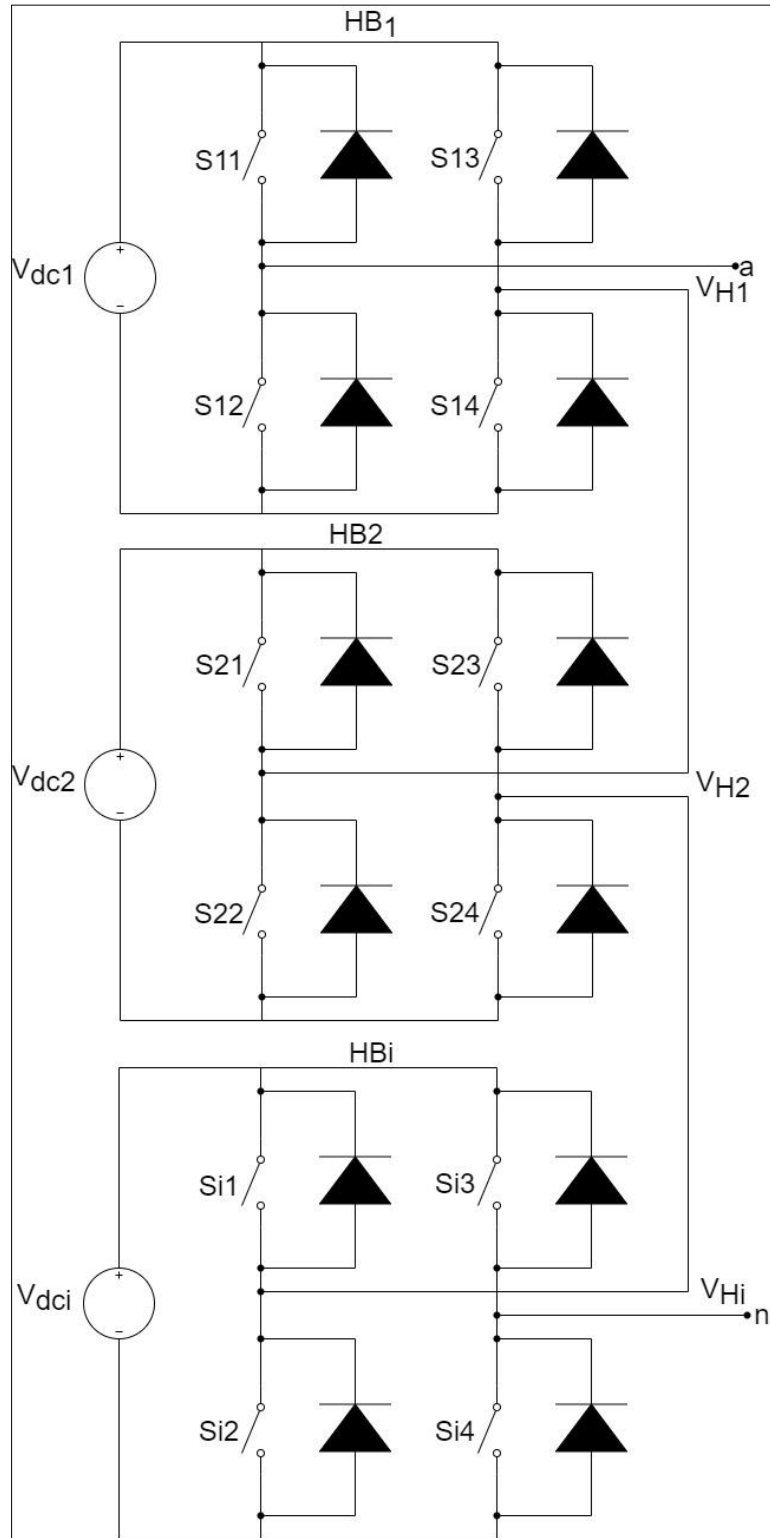


Fig. 22. Inversor multinivel de puente H de tres celdas.
Fuente: (Brárceñas, 2002).
Elaborado por: Autor.

La Figura 23 muestra la forma de onda de un CEMI de tres puentes H, en la cual se puede ver el aporte que realiza cada nivel a la salida final del inversor. La señal de salida en este caso tendrá siete niveles y será tres veces la señal de entrada.

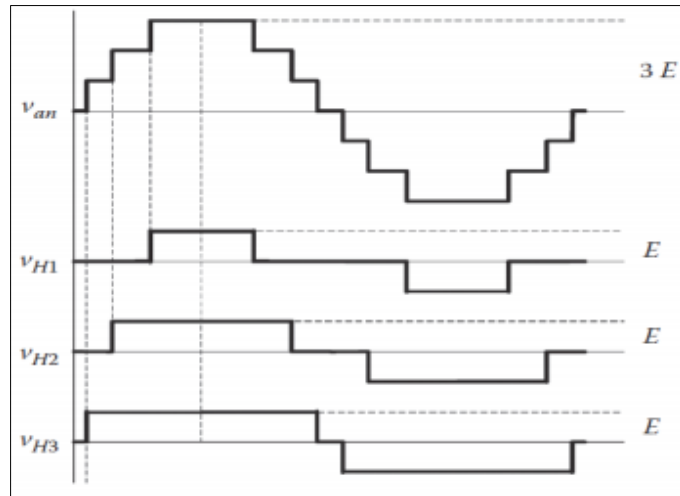


Fig. 23. Forma de onda del CEMI de tres puentes H.
Fuente: (Brárcenas, 2002).

2.2.1.2. Técnica PSPWM. Esta técnica PWM con multiportadoras desfasadas utiliza n_p portadoras de la misma amplitud y frecuencia, pero desfasadas por un ángulo θ , en donde este ángulo está dado por la Ecuación (4).

$$\theta = \frac{360^\circ}{n_p} \quad (4)$$

La técnica PSPWM es aplicable a las topologías multinivel de inversores en cascada y de condensadores flotantes. Para la topología de inversores en cascada se necesitan dos portadoras por cada inversor puente completo conectado en cascada, entonces el número de portadoras se obtiene empleando Ecuación (5).

$$n_p = n - 1 \quad (5)$$

donde, n es el número de niveles del inversor multinivel de inversores en cascada.

Como ejemplos, si se tiene que se está utilizando un inversor de cinco niveles, se necesitan cuatro portadoras, para siete niveles se requieren seis portadoras y así sucesivamente considerando por supuesto el respectivo ángulo θ de desfasamiento entre cada una.

Las características que rigen el funcionamiento de esta técnica de modulación, respecto al contenido armónico, son las siguientes:

- Para m_f pares, la onda PS tiene simetría de cuarto de onda resultando en solo armónicos impares en la tensión de salida.
- Para m_f impares, las formas de onda tienen simetría impar resultando en armónicos pares e impares en la tensión de salida.

Al utilizar esta técnica de modulación se tiene como característica interesante para la aplicación de filtros activos, que la frecuencia de rizo presente en la tensión de salida es superior a la frecuencia de las portadoras y por tanto a la de conmutación de los dispositivos semiconductores. La relación entre la frecuencia de rizo y la frecuencia de conmutación está dada por la Ecuación (6).

$$f_{rizo} = n_p f_c \quad (6)$$

donde, f_{rizo} es la frecuencia del rizo en la tensión de salida, f_c es la frecuencia de conmutación de las portadoras triangulares y n_p número de portadoras empleadas en el inversor multinivel.

En la Figura 24 se presenta la modulación PSPWM utilizada para el inversor multinivel implementada en Simulink, en la cual se puede ver la señal sinusoidal para la referencia, las portadoras triangulares y el control de activación/desactivación de los interruptores empleado. La portadora triangular para el segundo nivel se encuentra desfasada con respecto a la señal portadora del primer nivel, adicionalmente; se colocaron osciloscopios para poder ver las señales que se están generando.

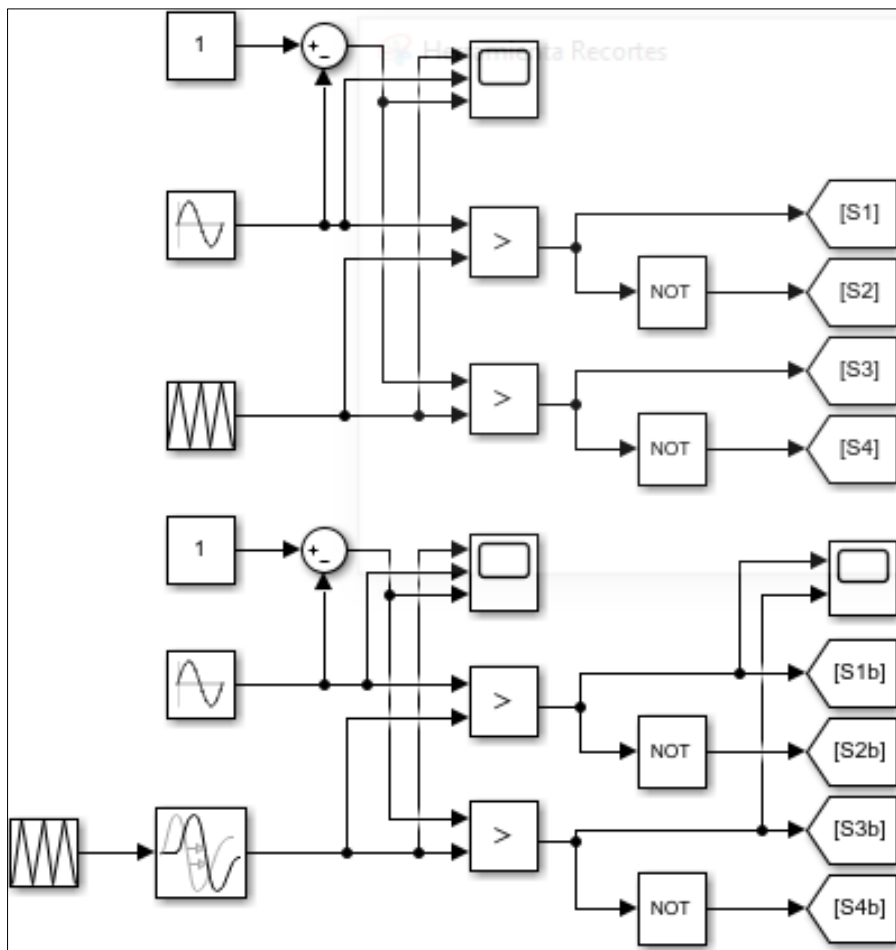


Fig. 24. Modulación PSPWM en Simulink.
Elaborado por: Autor.

En la Figura 25 se presenta el diseño del inversor multinivel en cascada implementado en Simulink. En el diseño ya se encuentran implementados los filtros de entrada (LC) y el filtro de salida (LC), se debe tener en cuenta que los filtros en entrada son iguales. La resistencia simula la carga que será conectada al CMLI y se emplearon instrumentos de medición y visualización para analizar el comportamiento de cada una de las etapas para poder garantizar las condiciones de diseño planteadas.

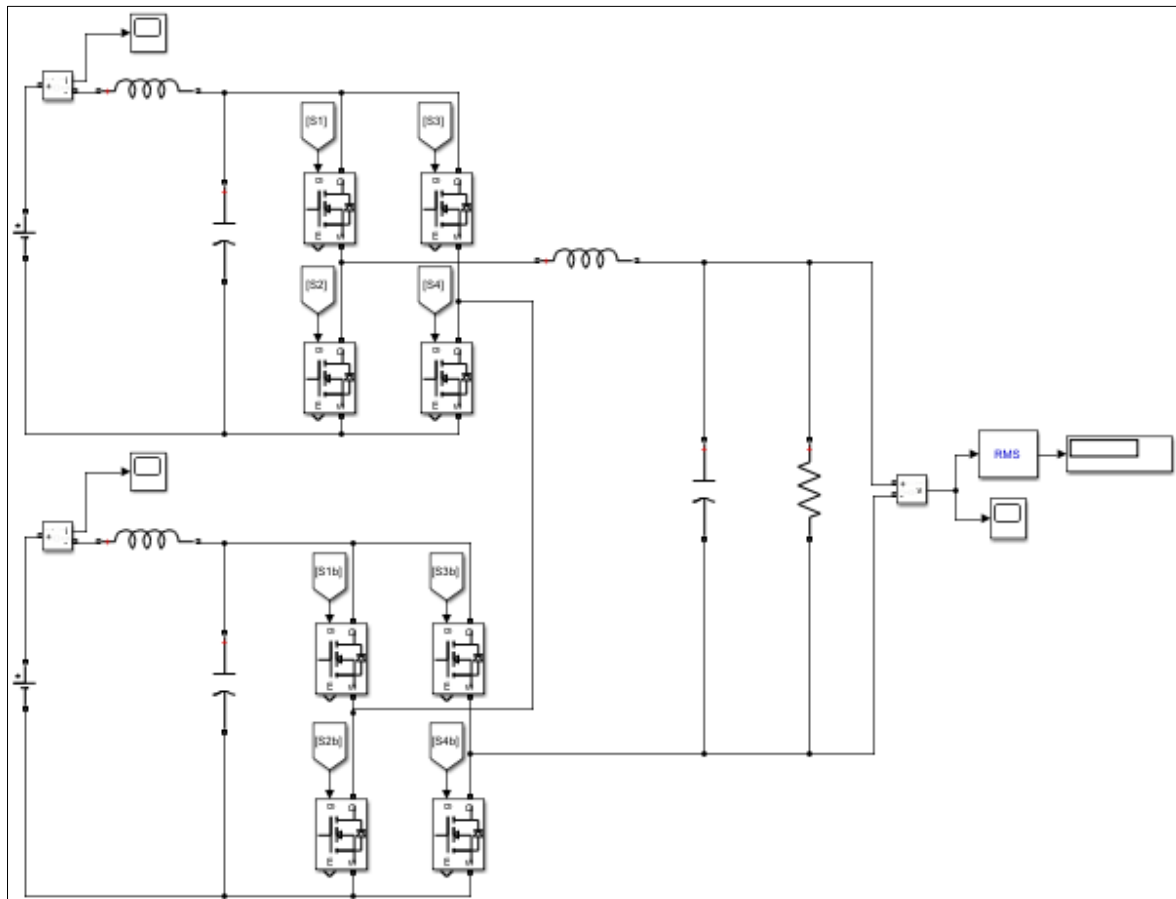


Fig. 25. Diseño del Inversor en Simulink.
Elaborado por: Autor.

La Figura 26 presenta en la primera fila las formas de ondas de las portadoras a 20 kHz (ondas de color amarillo y azul) y las ondas sinusoidales para generar la onda moduladora a 60 Hz (ondas de color rojo y verde). Se debe tener en cuenta, que el índice de modulación puede variarse cambiando la amplitud de la onda moduladora sinusoidal. En la segunda fila se puede ver el voltaje de salida del primer puente H, en la tercera fila el voltaje de salida del puente H del segundo nivel. Finalmente, en la cuarta fila se muestra la señal de salida del inversor después del filtro de salida, la cual se puede ver tiene una forma sinusoidal casi pura con lo que se puede comprobar que el diseño y la modulación del CMLI empleado es el adecuado. En la siguiente sección se describen los cálculos y las consideraciones que se tomaron en cuenta para el dimensionamiento de los inductores y capacitores tanto para el filtro de entrada como para el de salida.

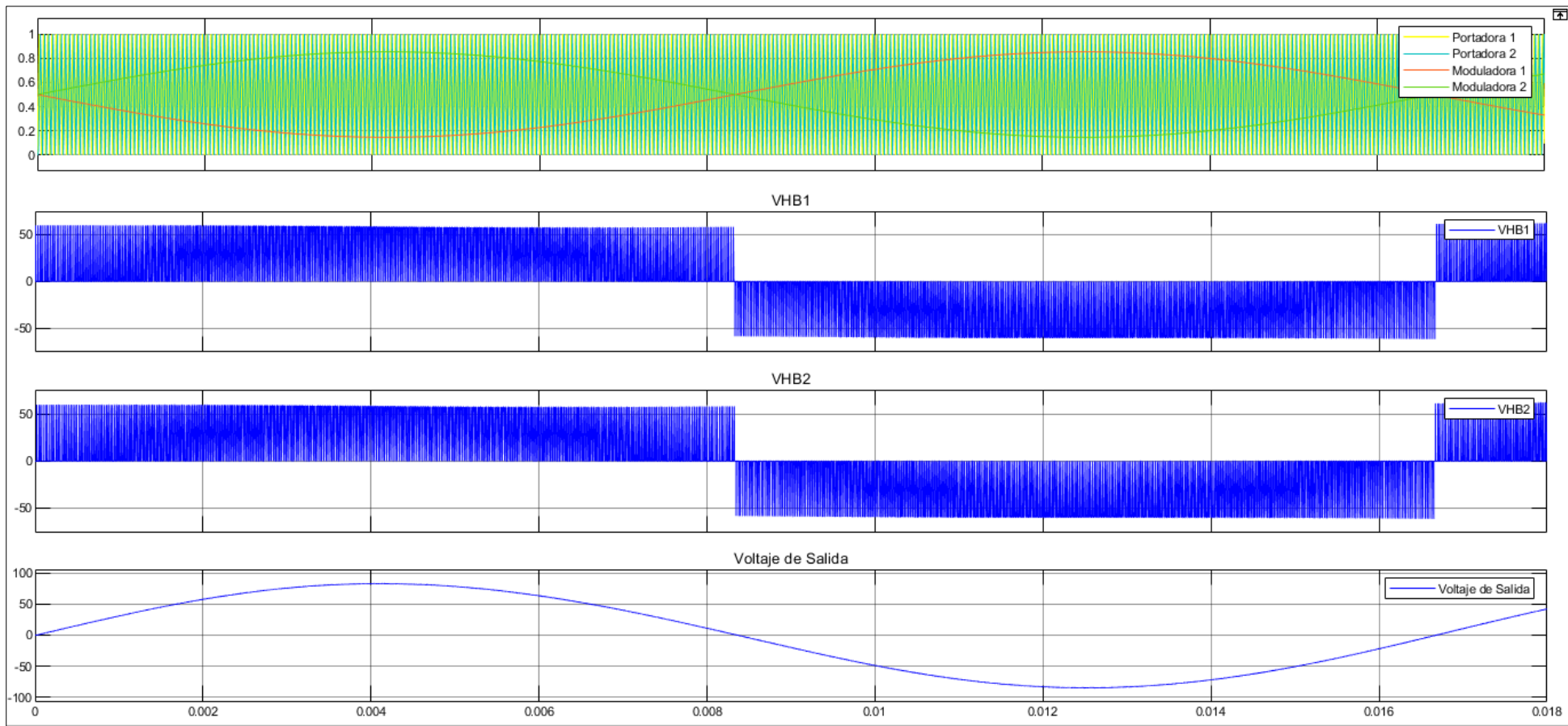


Fig. 26. Simulación de la Modulación PSPWM.
Elaborado por: Autor.

Para una mejor apreciación de las formas de ondas de la Figura 26, se realiza zoom a la misma y en la Figura 27 se puede apreciar en la primera fila el desfase entre las portadoras y las moduladoras, en la segunda y tercera fila los voltajes de salida del primer y segundo nivel respectivamente y en la cuarta fila el voltaje de salida del CMLI.

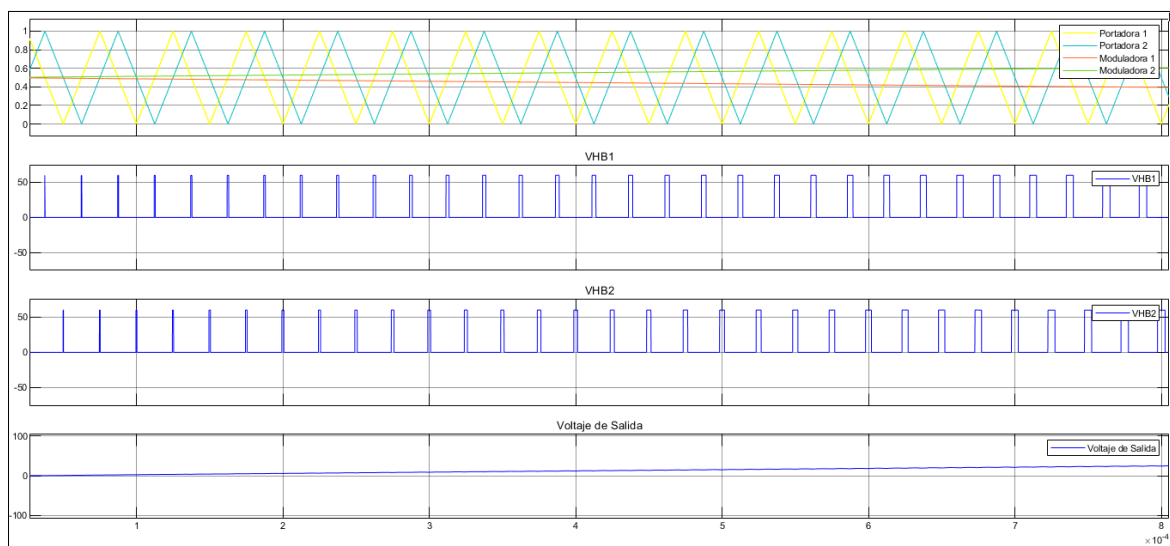


Fig. 27. Simulación de la Modulación PPSWM con zoom.
Elaborado por: Autor.

En la Figura 28, se muestra en la primera fila la señal de salida del CMLI antes del filtro, mientras que; en la segunda fila la señal después del filtro. En la gráfica de la parte superior se puede observar los cinco niveles del CMLI y en la segunda gráfica la señal en AC.

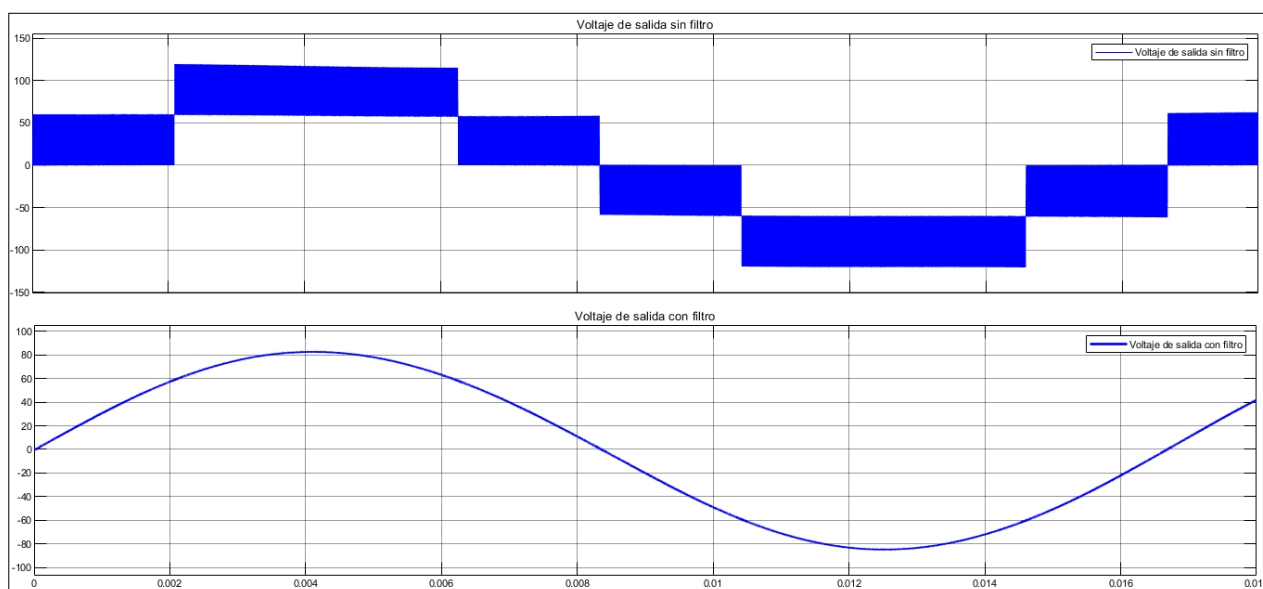


Fig. 28. Señal de salida de tensión sin filtro y con filtro.
Elaborado por: Autor.

Para el análisis de Fourier se utilizó una frecuencia superior a 10 veces la frecuencia de conmutación (400 kHz) y se tomaron cuatro ciclos para el análisis.

El análisis de Fourier a la tensión de salida sin filtro se puede ver en la Figura 29, en la cual se puede ver que resaltan tres picos(1,2,3) y los demás tienen un valor despreciable. Los picos considerables están entre 0.5 y 0.9.

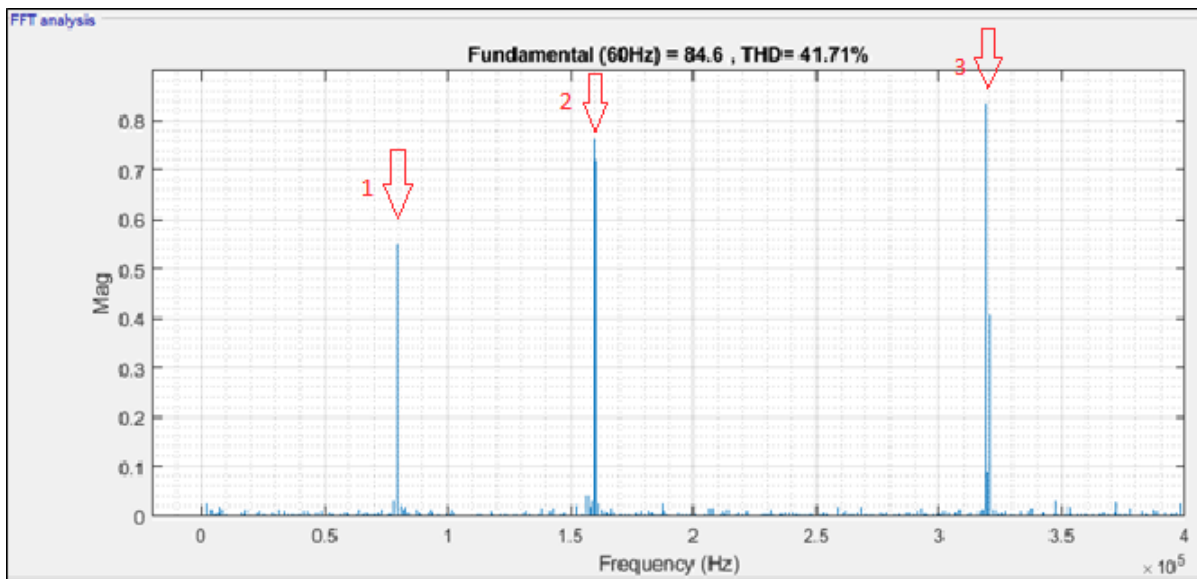


Fig. 29. Análisis de Fourier a la tensión sin filtro.
Elaborado por: Autor.

El análisis de Fourier a la tensión de salida con filtro se puede ver en la Figura 30, en este caso el sistema presenta tres picos (1,2,3) al igual que en el análisis sin filtro de la Figura 29, pero con la diferencia que el mayor pico tiene un valor inferior a 6×10^{-3} .

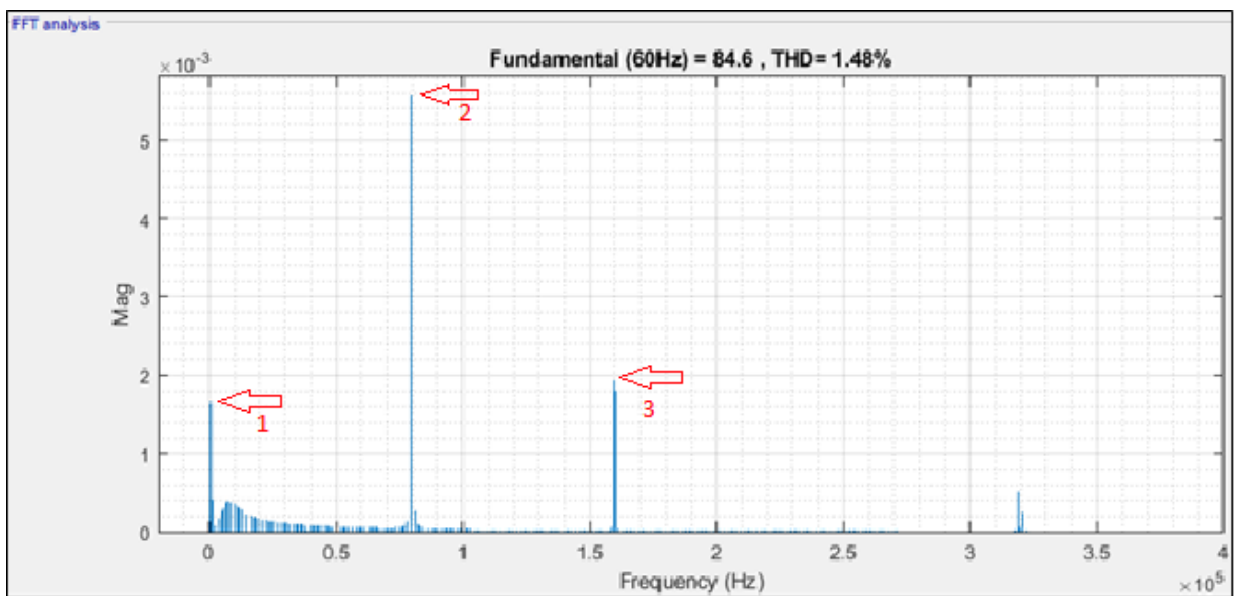


Fig. 30. Análisis de Fourier a la tensión con filtro.
Elaborado por: Autor.

2.2.1.3. Modelo del Inversor. En la Figura 31 se presenta el modelo del filtro de salida (LC) conectado al CMLI y del cual se determina el modelo matemático, donde $V_e d(s)$ es el voltaje de salida del inversor y R es la carga que se conectará al CMLI.

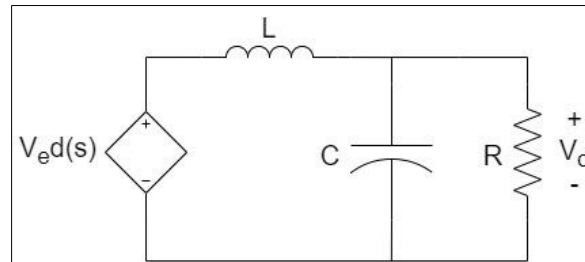


Fig. 31. Modelo del inversor.
Fuente: (Aguayo et al., 2011).
Elaborado por: Autor.

Las Ecuaciones (7) y (8) describen el modelo estático del inversor.

$$LsI(s) = V_e d(s) - V_o(s) \quad (7)$$

$$CsV_o(s) = I(s) - \frac{V_o(s)}{R} \quad (8)$$

Al despejar la Ecuación (7) se obtiene la Ecuación (9).

$$I(s) = \frac{V_e}{Ls} d(s) - \frac{V_o}{Ls}(s) \quad (9)$$

Sustituyendo (9) en (8), da como resultado la Ecuación (10).

$$CsV_o(s) = \frac{V_e}{Ls} d(s) - \frac{V_o(s)}{Ls} - \frac{V_o(s)}{R} \quad (10)$$

La Ecuación (11) resulta de agrupar los términos $V_o(s)$ en el lado izquierdo y sacarle como factor común.

$$V_o(s) \left(Cs + \frac{1}{Ls} + \frac{1}{R} \right) = \frac{V_e}{Ls} d(s) \quad (11)$$

Para obtener la Ecuación (12) se realiza la suma de fracciones heterogéneas de la Ecuación (11).

$$V_o(s) \left(\frac{RLCs^2 + R + Ls}{RLS} \right) = \frac{V_e}{Ls} d(s) \quad (12)$$

Despejando la Ecuación (12) y dividiendo tanto al numerador como al denominador por RLC se obtiene la Ecuación (13).

$$V_o(s) = \frac{\frac{RV_e}{RLC}}{\frac{RLCs^2 + Ls + R}{RLC}} d(s) \quad (13)$$

La Ecuación (14) es el resultado de las simplificaciones realizadas en la Ecuación (13).

$$V_o(s) = V_e d(s) \left(\frac{\frac{1}{LC}}{s^2 + \frac{1}{RC}s + \frac{1}{LC}} \right) \quad (14)$$

De la Ecuación (14) se obtiene la relación descrita en la Ecuación (15), la cual determina las señales deseadas a filtrar.

$$\frac{1}{LC} < f_c \quad (15)$$

La frecuencia natural a la que debe trabajar el sistema está dada por la Ecuación (16), en la cual se puede determinar que trabajará una década anterior que a la frecuencia de conmutación.

$$W_n < \frac{f_c}{10} \quad (16)$$

Finalmente, en las Ecuaciones (17) y (18) se establece las relaciones que permitirán determinar en función del modelo matemático del sistema, los valores del condensador e inductor.

$$W_n = \frac{1}{\sqrt{LC}} = \frac{1}{5T} \quad (17)$$

$$\sqrt{\frac{L}{C}} = R \quad (18)$$

2.2.1.4. Diseño del Filtro de Salida. Existen varios criterios para diseñar el filtro de salida de un inversor y en la mayoría de los casos se debe considerar el tipo de respuesta que presenta el filtro, la tensión proporcionada por el inversor debe ser de la mayor calidad posible. La Figura 32 muestra el diagrama del filtro de salida para el inversor.

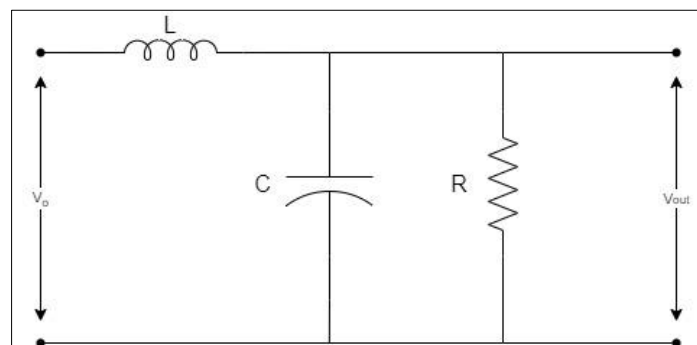


Fig. 32. Filtro de salida.
Fuente: (Aguayo et al., 2011).
Elaborado por: Autor.

En este caso la tensión de entrada es proporcionada por dos inversores puente completo conectados en cascada. La etapa de filtrado en la salida de cualquier inversor es indispensable para que la salida proporcione una tensión senoidal, lo más posible libre de contaminación armónica. Así, se tiene que los requerimientos más importantes del diseño del filtro de salida son:

- atenuar al máximo los armónicos más significativos y transferir la fundamental con la menor atenuación posible.

- reducir en lo posible el tamaño del filtro y mantener un THD bajo.

De esta manera, se tiene que el desempeño de un inversor sea cual sea la aplicación depende en gran medida del filtro de salida, por lo que se debe tener cuidado en su diseño.

2.2.1.5 Cálculo de L y C del filtro de salida. Para el cálculo de los componentes, se parte de los siguientes puntos: la frecuencia de la tensión de salida, la frecuencia de conmutación y la carga a manejar por el inversor (R). El valor de la frecuencia de corte se determina de la siguiente manera: La frecuencia a la salida de cada puente H es el doble que a la entrada del puente H.

Se debe tener en cuenta la relación descrita en la Ecuación (19), la cual describe la relación entre la frecuencia de conmutación y la frecuencia de corte.

$$f_s = 2\pi f_c \quad (19)$$

En la Ecuación (20) se indica el valor de la frecuencia de corte del inversor, donde el primer dos es debido al primer puente H y el segundo dos por el segundo puente H.

$$f_s = 2(2(20kHz)) = 80kHz \quad (20)$$

La frecuencia de corte es la frecuencia máxima permitida para obtener la atenuación deseada del contenido armónico presente en la salida del inversor multinivel, esa frecuencia de corte reduce lo más posible el tamaño del filtro y que representará para el inversor una carga despreciable en comparación con RL, además; se considera la opción de elevar la frecuencia de las portadoras y seguir utilizando el mismo filtro de salida. A continuación, se establecen los límites para THD a baja tensión.

TABLA 2
Límites para THD a baja tensión.

Clase de sistema	Distorsión Armónica Total (THD)
Aplicaciones críticas	3%
Sistemas generales	5%
Sistemas especializados	10%

Fuente: (Gateau et al., 2001).
Elaborado por: Autor.

En este caso se considera obtener el THD para un sistema especializado, esto es, cuando el convertidor está operando para una carga en específico. Por lo tanto, el filtro se calcula para una carga resistiva y que el THD que se obtenga sea menor del 10%.

Sustituyendo la Ecuación (17) en la Ecuación (16), se obtiene la Ecuación (21).

$$\frac{1}{\sqrt{LC}} = \frac{f_s}{10} \quad (21)$$

Si se reemplaza las Ecuaciones (19) y (20) en la Ecuación (21), se obtiene la Ecuación (22) que sería la primera del sistema de ecuaciones que permitirá determinar los valores del inductor y del capacitor.

$$\frac{1}{\sqrt{LC}} = \frac{2\pi(80k)}{10} \quad (22)$$

El cálculo del valor de la resistencia o carga se lo realiza empleando la Ecuación (23), para lo cual se toma en cuenta las condiciones de diseño.

$$R = \frac{V_{rms}}{I_{rms}} = \frac{60}{4} = 15 \Omega \quad (23)$$

Sustituyendo el valor de la Ecuación (23) en la Ecuación (18) se obtiene la Ecuación (24).

$$\sqrt{\frac{L}{C}} = R = 15 \quad (24)$$

Despejando C de la Ecuación (24), se obtiene la relación descrita en la Ecuación (25).

$$L = 15^2 \cdot C \quad (25)$$

Reemplazando el valor de la Ecuación (25) en la Ecuación (22), da como resultado la Ecuación (26).

$$\frac{1}{\sqrt{(15^2 \cdot C)C}} = 2\pi(8k) \quad (26)$$

Resolviendo la Ecuación (26) se obtiene el valor del capacitor mostrado en la Ecuación (27).

$$C = 1.33 \mu F \quad (27)$$

Sustituyendo el valor del capacitor de la Ecuación (27) en la Ecuación (25), se obtiene el valor del inductor indicado en la Ecuación (28).

$$L = 0.3 \text{ mH} \quad (28)$$

2.2.1.6. Diseño del Filtro de Entrada. En la Figura 33 se realiza el Análisis de Fourier a la corriente de entrada a cada puente H, se observó que existe una componente a 120Hz por lo que para el diseño del filtro de entrada en la malla se realiza el análisis a 120Hz.

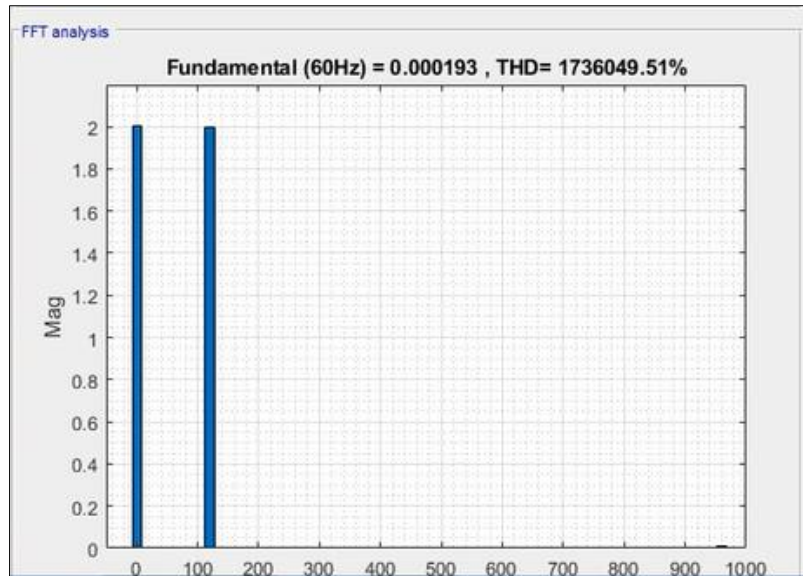


Fig. 33. Análisis de Fourier a la Corriente de Entrada.
Elaborado por: Autor.

En la Figura 34, se presenta el modelo del filtro de entrada para el CMLI empleando para el análisis de malla una frecuencia de 120 Hz, donde; I_o es la corriente de entrada en cada puente H y se emplea un filtro LC .

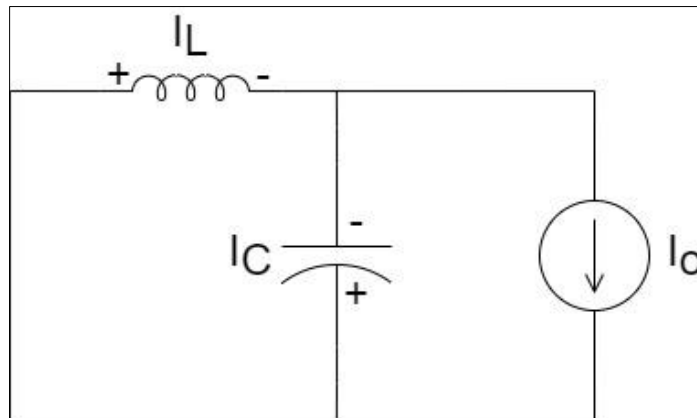


Fig. 34 Filtro de entrada.
Elaborado por: Autor.

Aplicando la ley de los nodos de Kirchoff se tiene la Ecuación (29).

$$I_C = I_o - I_L \quad (29)$$

Aplicando el principio de elementos en paralelo se obtiene la relación descrita en la Ecuación (30).

$$V_L = V_C \quad (30)$$

De la Ecuación (30) se obtiene la Ecuación (31).

$$j\omega L I_L = \frac{-j I_C}{\omega C} \quad (31)$$

Simplificando la Ecuación (31) y sustituyendo la Ecuación (29), da como resultado la Ecuación (32).

$$WLI_L = \frac{I_o - I_L}{WC} \quad (32)$$

Despejando la Ecuación (32) se obtiene la Ecuación (33).

$$LC = \frac{1}{W^2} \left(\frac{I_o}{I_L} - 1 \right) \quad (33)$$

Para controlar el rizado del voltaje se emplea la Ecuación (34).

$$L = \frac{\Delta V_C}{W\Delta I} \quad (34)$$

Con los valores de diseño $\Delta I = 0.2$, $\Delta V_C = 0.5$ y $W = 240\pi$ se obtiene el valor del inductor mostrado en la Ecuación (35).

$$L = 3.32 \text{ mH} \quad (35)$$

Despejando C de (33) y sustituyendo (34) en (33) se obtiene la Ecuación (36).

$$C = \frac{1}{\Delta V_C W} (I_o - \Delta I) \quad (36)$$

Reemplazando los valores de diseño en la Ecuación (37) se obtiene el valor del capacitor mostrado en la Ecuación (37).

$$C = 4,77 \text{ mF} \quad (37)$$

En este Capítulo se inició dando a conocer la metodología empleada para el desarrollo de la tesis, se procedió a indicar el diseño tanto de la modulación como del inversor multinivel en cascada en Simulink. A continuación, se dieron a conocer los resultados obtenidos por simulación analizando las señales de tensión y corriente antes y después del filtro, de igual manera se realizó el análisis de Fourier a estas señales para ver los armónicos que presentaban. Luego de las simulaciones, se presentó el proceso matemático para el cálculo de los valores del capacitor e inductor del filtro de salida siendo la base del cálculo la frecuencia de las portadoras (20 kHz); mientras que para el diseño del filtro de entrada se partió del análisis de Fourier a la entrada de los puentes H, en el cual se pudo observar la existencia de componentes en 120 Hz y esta fue la frecuencia utilizada para el cálculo del capacitor e inductor del filtro de entrada. En las simulaciones realizadas se pudo observar que las señales de salida después del filtro asemejan a una onda sinusoidal pura, de igual manera se determinó que el THD de las señales filtradas es mucho menor que el de las señales sin filtrar. Con los resultados obtenidos por simulación se demuestra que se están cumpliendo las condiciones de diseño planteadas por lo que ahora se debe implementar para determinar el rendimiento real del CMLI desarrollado.

Capítulo III

Resultados

En el presente capítulo se expone los diferentes resultados de simulación de funcionamiento tanto en simulación como en la implementación, además; de los resultados experimentales obtenidos en cada una de las placas que conforman el prototipo.

3.1. Simulación del Funcionamiento del Prototipo

La simulación del prototipo sea desarrollada en Matlab/Simulink, la misma que se encuentra distribuida de la siguiente manera. En la Figura 35 se encuentra la modulación empleada.

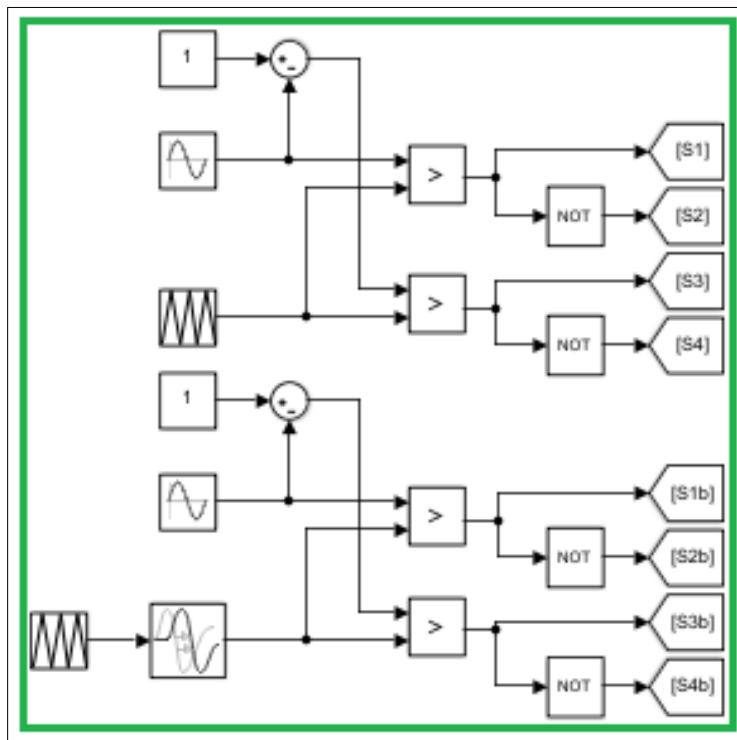


Fig. 35 Modulación simulación del Prototipo.
Elaborado por: Autor.

En la Figura 36 en el recuadro de color lila las fuentes de alimentación, en los recuadros de color naranja el filtro de entrada es conformado por un capacitor y un inductor, en el recuadro de color azul son los dos puentes H en cascada.

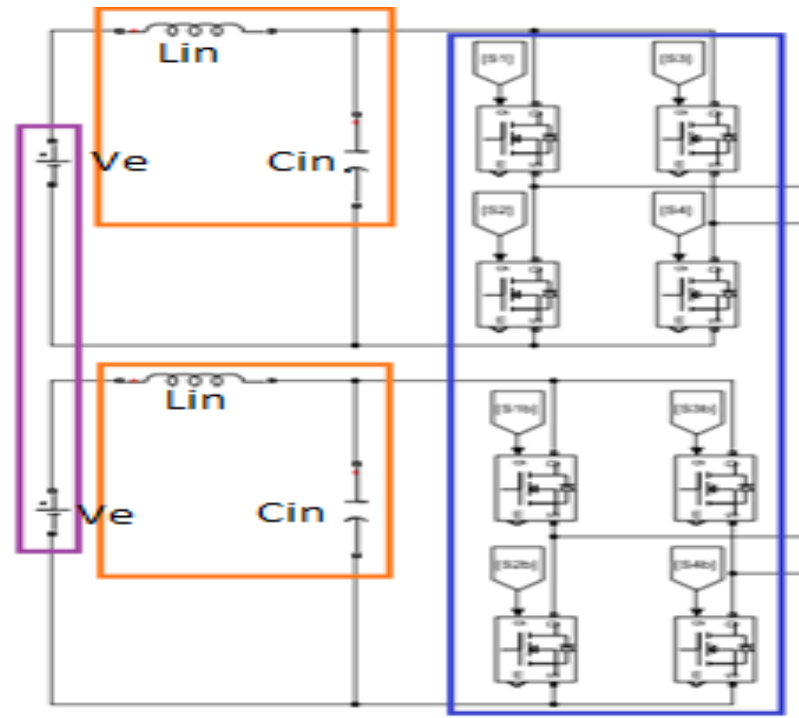


Fig. 36 Prototipo con filtro de entrada.
Elaborado por: Autor.

En la Figura 37 en el recuadro de color marrón el filtro de salida y finalmente el recuadro de color rojo es la carga del sistema.

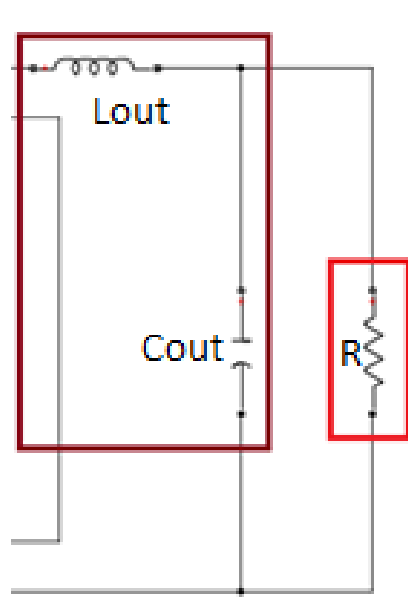


Fig. 37 Filtro de salida del inversor.
Elaborado por: Autor.

En la Figura 38 se puede observar el diseño en simulación del prototipo completo tanto con su modulación, su inversor en cascada y su filtro de entrada y salida

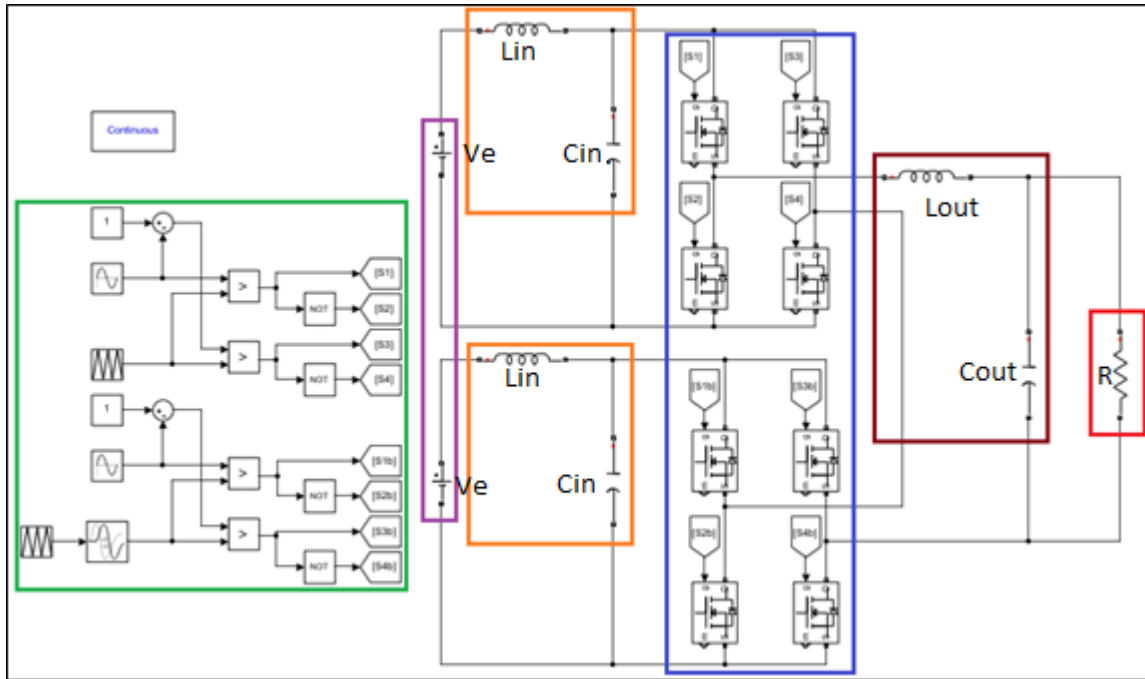


Fig. 38 Diseño en simulación del Prototipo.
Elaborado por: Autor.

En la Tabla 3, se presenta los valores empleados en las simulaciones.

Tabla 3. Valores para simulación.

Variable	Valor
R	6Ω
f_c	20 kHz
V_e	60 V
V_p	$30\sqrt{2} \text{ V}$
T_{sw}	$50 \mu\text{Hz}$
L_{in}	3.32 mH
C_{in}	$4.77 \mu\text{F}$
L_{out}	0.3 mH
C_{out}	$1.33 \mu\text{F}$

Elaborado por: Autor.

La Figura 39, presenta la simulación del voltaje y la corriente a la entrada del inversor en cascada. En la gráfica superior (corriente), la forma de onda sinusoidal se debe al filtro LC de la entrada. Mientras que en la gráfica inferior (voltaje), la señal tiene un voltaje constante aproximado de 60 [V] debido a que es el voltaje de alimentación de la fuente DC.

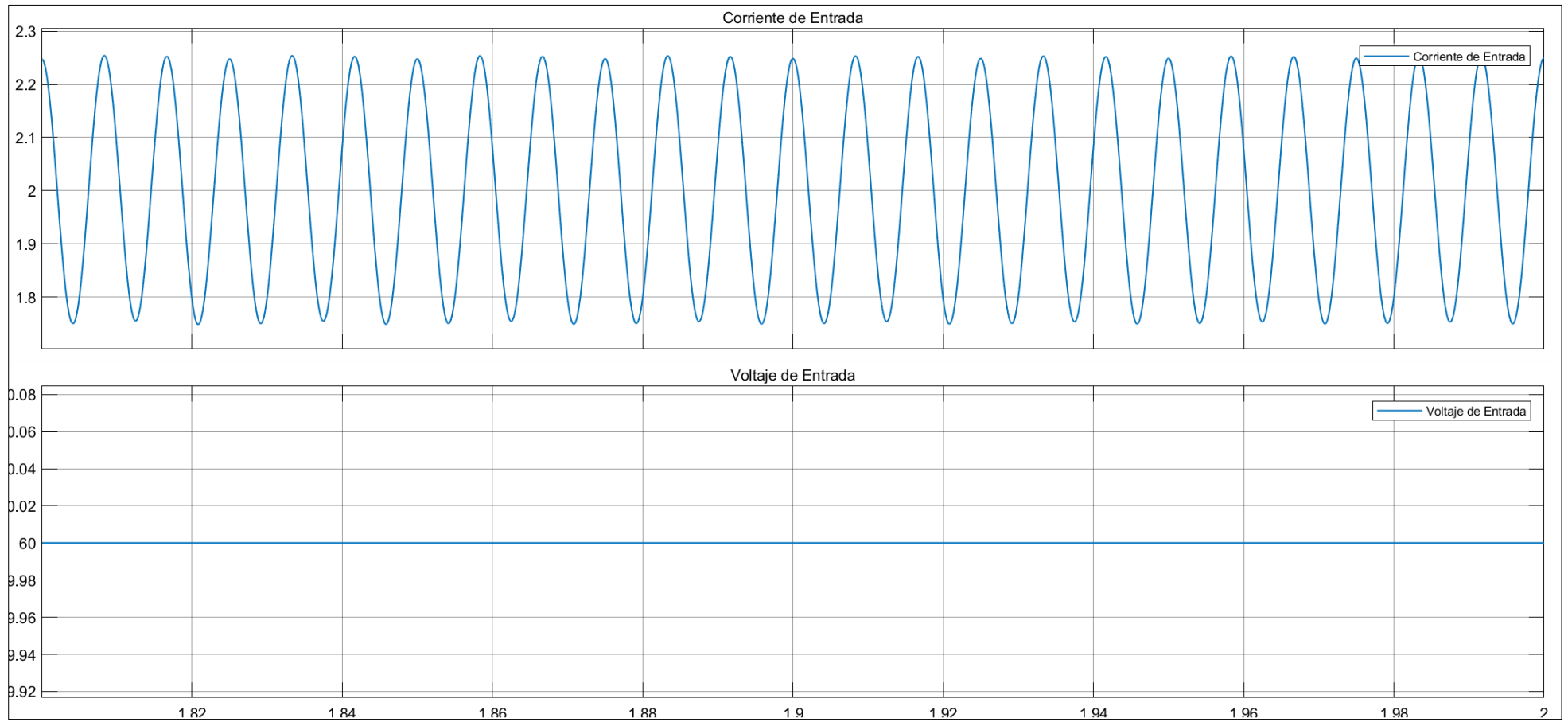


Fig. 39 Corriente y Voltaje de entrada al Inversor en Cascada.
Elaborado por: Autor.

En la Figura 40, se puede ver en la gráfica superior, el voltaje a la salida del primer inversor el cual tiene tres niveles, mientras que; en la gráfica intermedia el voltaje de salida total el cual consta de cinco niveles. Finalmente, en la última gráfica el voltaje de salida del inversor.

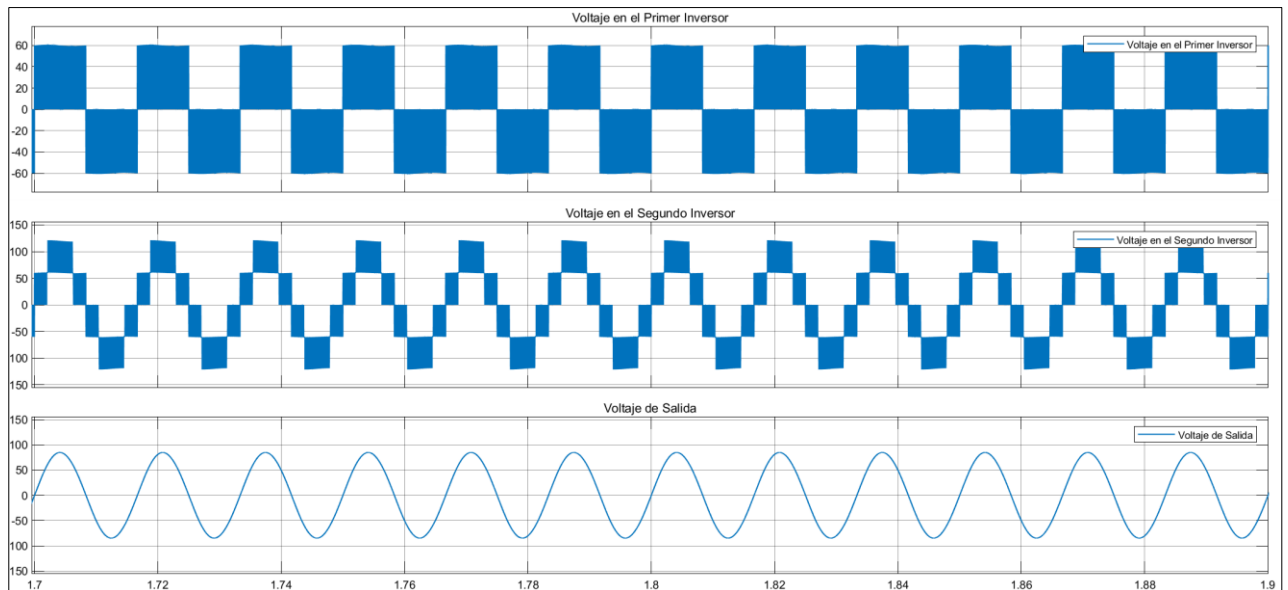


Fig. 40 Voltajes de Salida de cada inversor.
Elaborado por: Autor.

3.2. Implementación del Prototipo

En la Figura 41, se muestra el sistema completo que consta de: fuentes reguladas, los inversores (placas de color verde), la placa controladora (placa de color rojo) y la carga (foco). En este sistema se desarrollaron las distintas pruebas de funcionamiento para validar el inversor multinivel en cascada desarrollado.

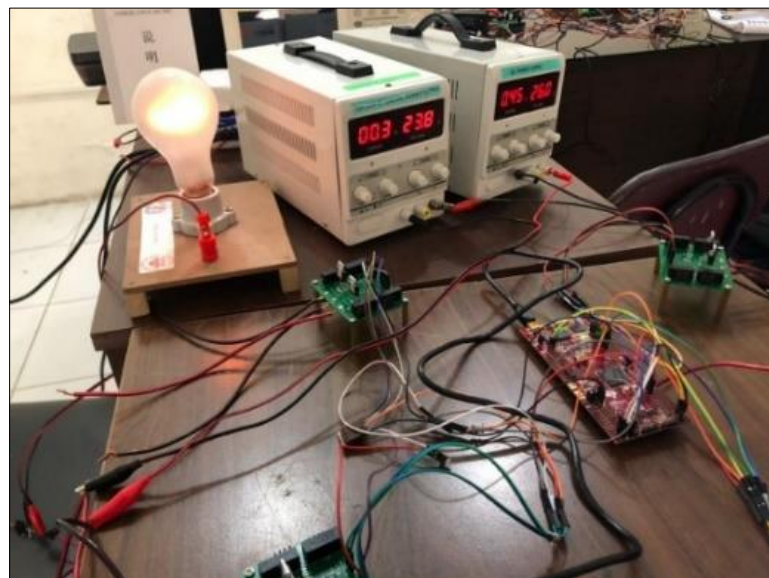


Fig. 41 Sistema para pruebas de funcionamiento.
Elaborado por: Autor.

Una vez realizadas las simulaciones, se procedió a ensamblar el prototipo para poder contrastar los resultados obtenidos en simulación.

En la Figura 42, se puede observar el armado del PCB implementado de una de las etapas del inversor en cascada. Los MOSFET empleados fueron los 25N10F por las siguientes características que presentan:

- Conmutación rápida.
- Baja resistencia de encendido ($R_{DS(on)} \leq 36 \text{ m}\Omega$).
- Baja carga de la puerta (Típica: 61 nC).
- Bajas capacitancias de transferencia inversa (Típica: 84 pF).
- Prueba de energía de avalancha de un solo pulso al 100%.
- 100% Prueba de ΔV_{DS} .
- Ancho de pulso $\leq 300 \mu\text{s}$, ciclo de trabajo $\leq 2\%$.



Fig. 42 PCB del inversor.
Elaborado por: Autor.

La Figura 43, se muestra el prototipo implementado para un inversor; en la cual, en el recuadro de color verde está la pinza analógica para medir la conmutación de los MOSFET, en el recuadro de color azul se encuentra la carga utilizada, en el recuadro de color lila está la placa DSP empleada y finalmente; en el recuadro de color rojo se encuentra el filtro inductivo.

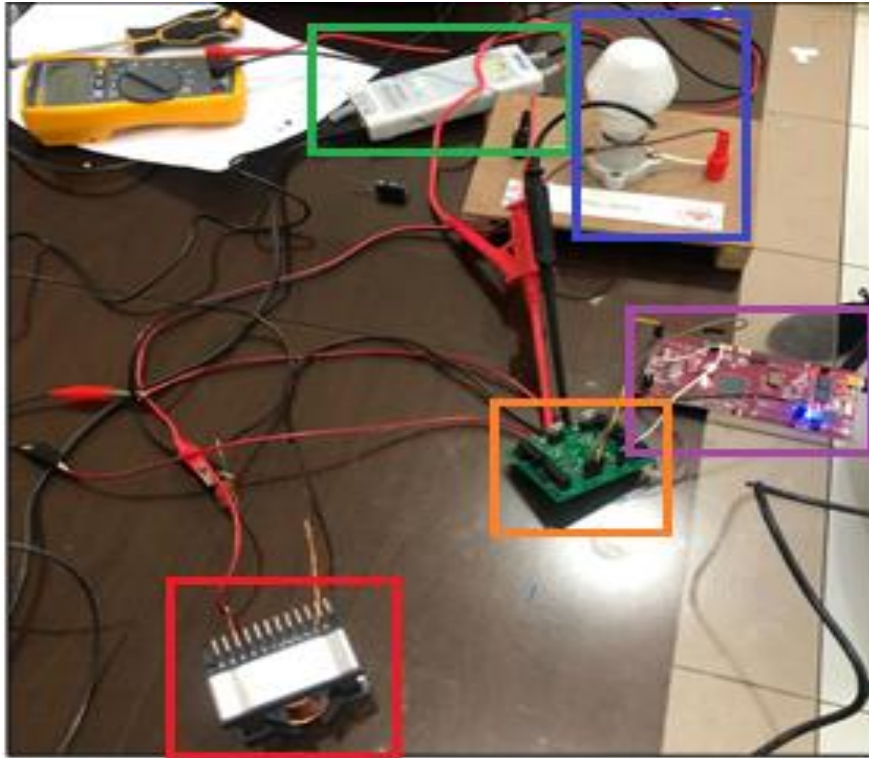


Fig. 43 PCB del inversor.
Elaborado por: Autor.

La señal real obtenida a la salida de cada puente H se observa en de la Figura 44. Cabe aclarar que los Mosfet conmutan a una frecuencia de 20kHz.

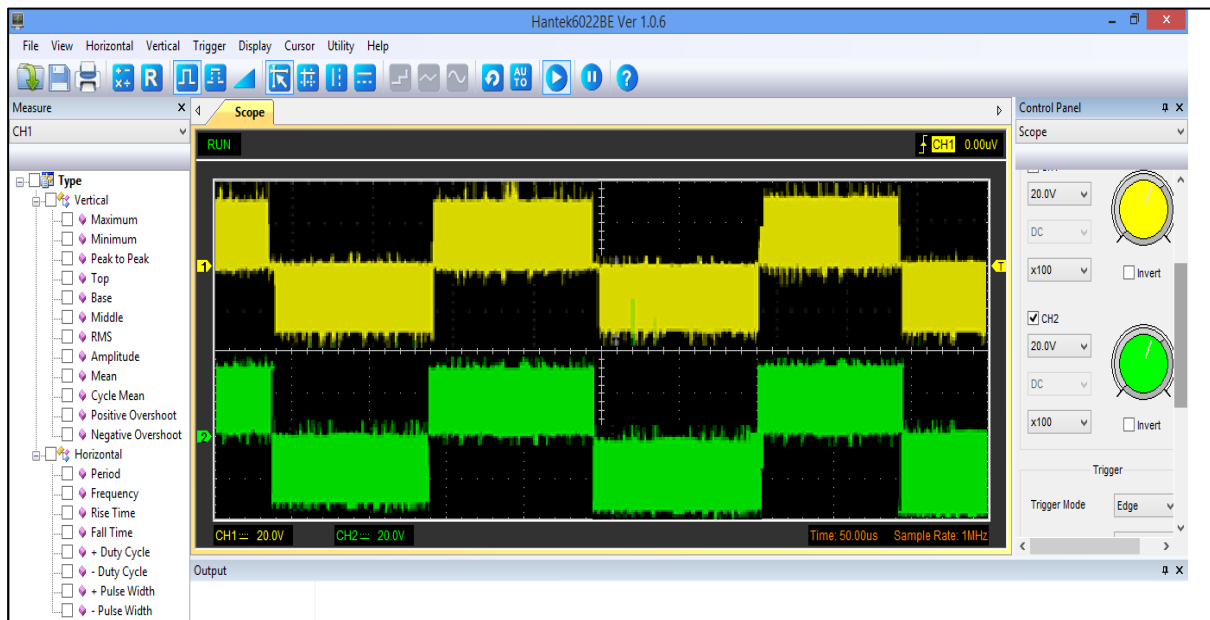


Fig. 44 Salida de tensión de cada nivel del inversor.
Elaborado por: Autor.

En la Figura 45, se muestra la señal de salida de los 5 niveles del CMLI antes del filtro de salida obteniendo como resultado un gran parecido al resultado de la simulación de inversor presentado en la Figura 28.

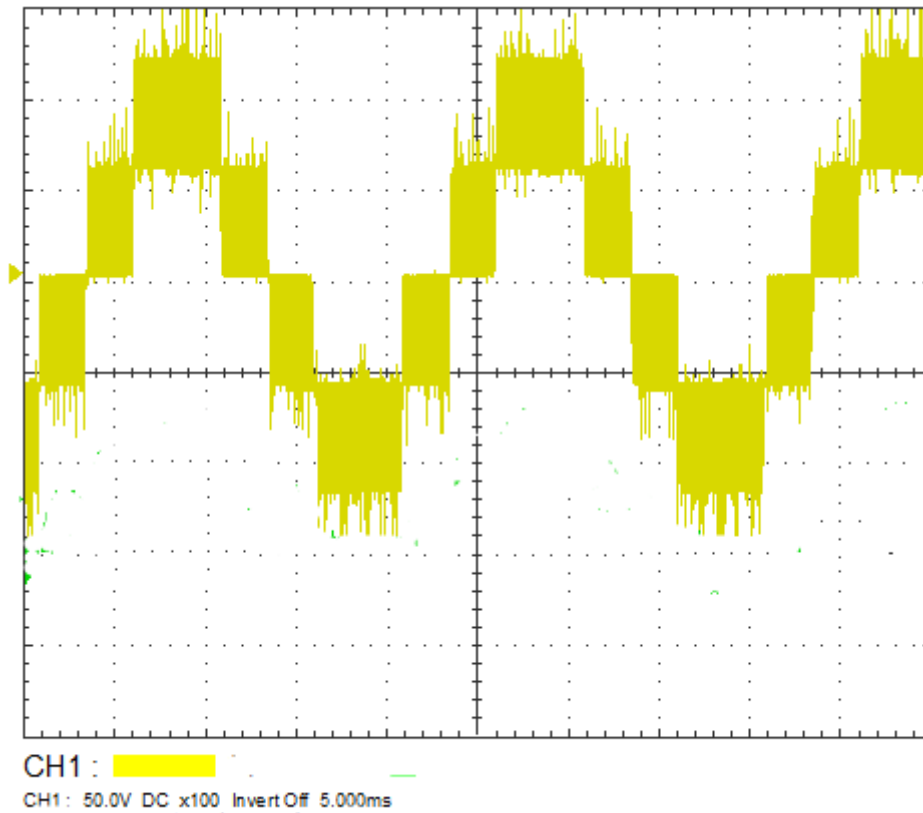


Fig. 45 Señal de salida antes del filtro de salida.
Elaborado por: Autor.

En la Figura 46, se puede ver la señal de salida es casi sinusoidal y tiene una gran similitud a la señal obtenida de la simulación como se puede observar en la Figura 28.

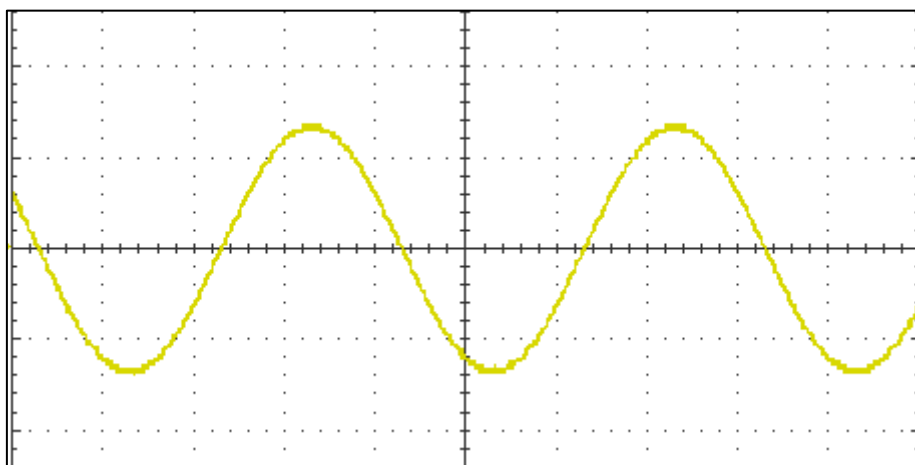


Fig. 46 Voltaje RMS en el capacitor.
Elaborado por: Autor.

La tensión de salida de cada puente inversor puede ser visto en la Figura 47, la cual se observa que tiene un desfase entre las dos salidas, la gráfica con la línea de color amarillo corresponde a la salida del primer inversor, mientras que; la gráfica con la línea de color verde es la salida del segundo inversor.

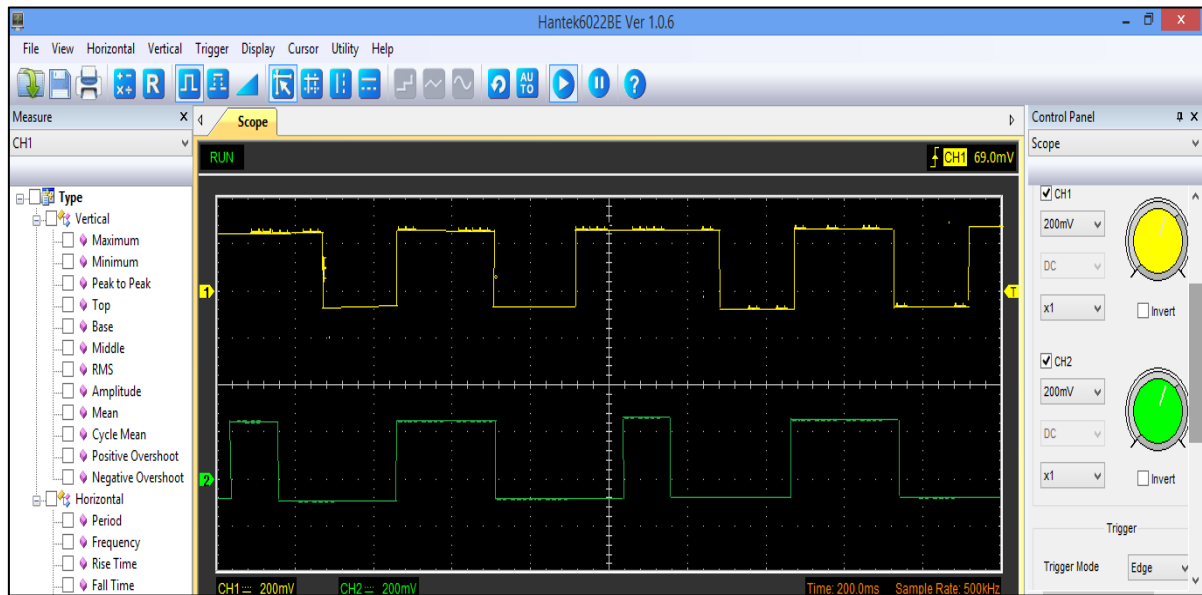


Fig. 47 Respuesta en tensión de cada inversor.
Elaborado por: Autor.

3.3. Conclusiones

- Para seleccionar la técnica de modulación, fue necesario observar el desempeño de las diferentes técnicas existentes. La técnica de modulación empleada fue la PSPWM multiportadora debido a que desplaza la frecuencia del rizo de tensión de salida a frecuencias elevadas, permite reducir el tamaño del filtro de salida y presenta un buen desempeño en la reproducción de señales con distorsiones.
- Los principales criterios tomados en cuenta para el diseño del inversor multinivel fueron: a) el número de inversores en cascada puede variar según la aplicación, sin embargo, se recomienda usar filtros de entrada y salida ya que ayudan a mejorar el THD del inversor ya que se redujo del 41.71% al 1.48% en simulación. b) el voltaje de rizo debe de ser lo más pequeño posible, pero esto incrementa el tamaño del filtro por lo cual se debe realizar un *trade off* entre el tamaño del filtro y el tamaño del rizo.
- Así mismo, se realizaron diferentes pruebas experimentales con el propósito de observar el comportamiento del inversor multinivel bajo el uso de una carga resistiva, concluyéndose que a media que la carga resistiva disminuye la corriente del inversor se incrementan y al tener cargas resistivas mayores la corriente disminuye.

3.4. Recomendaciones

- Para aplicaciones de variadores de frecuencia para motores de baja potencia, es preferible usar una topología con una sola fuente de tensión, debido a que se puede lograr un ahorro en cuanto a fuentes de tensión y componentes.
- Es recomendable usar Mosfet de tiempos de conmutación más rápido ya que el Mosfet 25N10F trabaja en el rango de 150ns y 200ns y para que consiga una mayor efectividad, no se distorsione la onda de salida y de igual manera no inyecte sub-armónicos se necesitan Mosfet de mayor rapidez.
- Para la toma de datos del inversor multinivel en cascada usar dispositivos que tengan buen aislamiento en las puntas de medición, ya al momento de realizar la pruebas, por el ruido que realiza el inductor puede causar mediciones falsas o puede causar que en las pruebas de medición por el campo magnético de los dispositivos el Mosfet no tenga un óptimo funcionamiento y tenga disparos falsos.

Referencias Bibliográficas

- Aguayo, J., Sánchez, A. C., Vela, L. G., Rodríguez, M. A., & Vargas, R. A. (2011). Análisis de un inversor multinivel en cascada con tolerancia a fallas. *Ingeniería e Investigación*, 31(3), 66–79.
- Araque, A., Díaz, J., & Gualdrón, O. (2013). Optimización Del Thd En Un Convertidor Multinivel Monofásico Usando Algoritmos Genéticos. *Revista Colombiana de Tecnologías de Avanzada*, 1(21), 60–67. <https://doi.org/10.24054/16927257.v21.n21.2013.297>
- Brárcenas, E. (2002). *Análisis y Desarrollo de un inversor multinivel*. Centro de Investigación y Desarrollo Tecnológico.
- Brückner, T., Bernet, S., & Güldner, H. (2005). The Active NPC Converter and Its Loss-Balancing Control. *IEEE Transactions on Industrial Electronics*, 52(3), 855–868. <https://doi.org/10.1109/TIE.2005.847586>
- Celanovic, N., & Boroyevich, D. (1999). Fast space vector modulation algorithm for multilevel three-phase converters. *Conference Record - IAS Annual Meeting (IEEE Industry Applications Society)*, 2, 1173–1177. <https://doi.org/10.1109/ias.1999.801652>
- Chauca, F., Llerena, F., & Chico, P. (2014). Diseño y Construcción de un Inversor Multinivel. *Epn*, 33(1).
- Chavarría, J. (2010). *Diseño e Implementación de un Inversor Multinivel para Sistemas Fotovoltaicos Conectados a Red*. Universitat Politècnica de Catalunya.
- Costa, Á. (2011). Inversores multinivel para aplicaciones de gran potencia. Estado del arte. *Ingeniería Energética*, 25(3), 38 a la 44-44.
- Damiano, A., Gatto, G., Marongiu, I., & Perfetto, A. (2001). An Improved Multilevel DTC Drive. *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 3(2), 1452–1457. <https://doi.org/10.1109/PESC.2001.954324>
- Dixon, J., & Morán, L. (2002). Multilevel Inverter, Based on Multi-Stage Connection of Three-level Converters, Scaled in pPwer of Three. *IECON Proceedings (Industrial Electronics Conference)*, 2, 886–891. <https://doi.org/10.1109/IECON.2002.1185389>
- Dixon, J., & Morán, L. (2006). High-level Multistep Inverter Optimization Using a Minimum Number of Power Transistors. *IEEE Transactions on Power Electronics*, 21(2), 330–337. <https://doi.org/10.1109/TPEL.2005.869745>

- Floricaeu, D., Popescu, C. L., Popescu, M. O., Floricaeu, E., & Spataru, L. (2009). A comparison of efficiency for three-level NPC and active NPC voltage source converters. *CPE 2009 - 6th International Conference-Workshop - Computability and Power Electronics*, 331–336. <https://doi.org/10.1109/CPE.2009.5156055>
- Galarza, J., & Quizhpi, F. (2014). Diseño e Implementación del Sistema de Control de un Inversor Multinivel de Fuentes Independientes, por medio de Modulación Vectorial Espacial. *Revista Técnica "Energía,"* 10(1). <https://doi.org/10.37116/revistaenergia.v10.n1.2014.110>
- Gateau, G., Meynard, T. A., & Foch, H. (2001). Stacked Multicell Converter (SMC): Properties and design. *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 3, 1583–1588. <https://doi.org/10.1109/pesc.2001.954345>
- Hochgraf, C., Lasseter, R., Divan, D., & Lipo, T. A. (1994). Comparison of multilevel inverters for static var compensation. *Conference Record - IAS Annual Meeting (IEEE Industry Applications Society)*, 2(May), 921–928. <https://doi.org/10.1109/ias.1994.377528>
- Jimenez, O. (2012). Estudio de Técnicas de Modulación para el Inversor Multinivel en Cascada Híbrido (Simétrico-Asimétrico). In *Cenidet.Edu.Mx*. <http://www.cenidet.edu.mx/subplan/biblio/seleccion/Tesis/ME Eduardo Benedicto Lopez Montero 2007.pdf>
- Lai, J. S., & Peng, F. Z. (1996). Multilevel converters - A new breed of power converters. *IEEE Transactions on Industry Applications*, 32(3), 509–517. <https://doi.org/10.1109/28.502161>
- Lopez, O. (2015). Contribution to the DC-AC conversion in photovoltaic systems: Module oriented converters [Université de Toulouse]. In *Citeseer* (Issue April). <https://doi.org/10.13140/RG.2.1.3400.3368>
- Martínez, D. (2006). *Control digital para convertidor multinivel alimentado con energía solar*. Universidad de las Américas Puebla.
- Marulanda, J. J., Ordoñez, J. J., & Mosquera, L. F. (2017). Diseño y construcción de un convertidor dc/dc tipo Boost con PWM ajustable. *Scientia et Technica*, 22(1), 9–14. <https://doi.org/10.22517/23447214.12811>
- Meynard, T. A., & Foch, H. (1992). Multi-level conversion: High voltage choppers and voltage-source inverters. *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 397–403. <https://doi.org/10.1109/PESC.1992.254717>

- Meynard, T., & Foch, H. (1998). *Electronic Device for Electrical Energy Conversion Between a Voltage Source and a Current Source by means of Controllable Switching Cells*.
- Muñoz, N., López, J. M., & Villada, F. (2018). Deducción de los estados de conmutación para los inversores multinivel VSC-MMC. Descripción Orientada a la Enseñanza en Ingeniería. *Formacion Universitaria*, 11(1), 115–126. <https://doi.org/10.4067/S0718-50062018000100012>
- Nabae, A., Takahashi, I., & Akagi, H. (1981). A New Neutral-Point-Clamped PWM Inverter. *IEEE Transactions on Industry Applications*, 1A-17(5), 518–523. <https://doi.org/10.1109/62.143194>
- Peng, F. Z. (2000). Power Line Conditioner Using Cascade Multilevel Inverters for Voltage Regulation, Reactive Power Correction, and Harmonic Filtering. In *Us 6,075,350*.
- Pereda, J. (2013). *Nuevas Topologías de Conversores Multinivel en Cascada*. PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE.
- Portugal, E. (2006). *Diseño de un Inversor Multinivel en Cascada Monofásico de Bajo Contenido Armónico para Cargas Resistivas* [Pontificia Universidad Católica del Perú]. <http://tesis.pucp.edu.pe/%0Ahttp://ebooks.cambridge.org/ref/id/CBO9781107415324A009>
- Rashid, M. H. (2004). *Electrónica de Potencia: Circuitos, Dispositivos y Aplicaciones*. (Segunda ed). Prentice Hall Hispanoamericana, S.A.
- Thomas, S., & Steimer, P. K. (2005). The active NPC converter for Medium-Voltage Applications. *Conference Record - IAS Annual Meeting (IEEE Industry Applications Society)*, 1, 84–91. <https://doi.org/10.1109/IAS.2005.1518296>
- Tolbert, L. M., & Peng, F. Z. (1998). Multilevel converters for large electric drives. *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, 2(1), 530–536. <https://doi.org/10.1109/apec.1998.653826>
- Von Jouanne, A., Dai, S., & Zhang, H. (2001). A simple method for balancing the DC-link voltage of three-level inverters. *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 3, 1341–1345. <https://doi.org/10.1109/pesc.2001.954306>

Anexos

A. Algoritmo para la generación de señales PWM

```
// Included Files
#include "F28x_Project.h"
#include "math.h"

#define M_PI 3.14159265358979323846 /* pi */
#define tope 1250
#define hdiv 0
#define div 0
#define N 400

// Function Prototypes
void ConfigureADC(void);
void ConfigureEPWM(void);
void SetupADCEpwm(Uint16 ch0);
void InitEPwm1Example(void);
void InitEPwm2Example(void);
void InitEPwm3Example(void);
void InitEPwm4Example(void);
void configGPIO(void);

interrupt void adca1_isr(void);

// Defines
#define RESULTS_BUFFER_SIZE 256
#define MARGEN 0xFFFFFFFF
#define REFERENCE_VREF 1
#define DACA 1
#define DACB 2
#define DACC 3
#define REFERENCE REFERENCE_VREF
#define DAC_NUM DACA
```



```

// Globals
Uint16 duty=600;
Uint16 r;
int16 S[N];
Uint16 k=0;

void main(void) {
// Step 1. Initialize System Control:
// PLL, WatchDog, enable Peripheral Clocks
    InitSysCtrl();

// Step 2. Initialize GPIO:
    InitGpio(); // Skipped for this example

// Step 3. Clear all interrupts and initialize PIE vector table:
    DINT;
// Initialize the PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags are cleared.
    InitPieCtrl();
// Disable CPU interrupts and clear all CPU interrupt flags:
    IER = 0x0000;
    IFR = 0x0000;
// Initialize the PIE vector table with pointers to the shell Interrupt
// Service Routines (ISR).
    InitPieVectTable();
//--- Initialize and activate PWM1, PWM2, PWM3, PWM4 and GPIO aux. -----
    InitEPwm1Gpio();
    InitEPwm1Example();
    InitEPwm2Gpio();
    InitEPwm2Example();
    InitEPwm3Gpio();
    InitEPwm3Example();
    InitEPwm4Gpio();
    InitEPwm4Example();
    configGPIO();
    EALLOW;

```

```

PieVectTable.ADCA1_INT = &adca1_isr; //function for ADCA interrupt 1
EDIS;
ConfigureADC();
ConfigureEPWM();
SetupADCEpwm(2);
IER |= M_INT1; //Enable group 1 interrupts
EINT; // Enable Global interrupt INTM
ERTM; // Enable Global realtime interrupt DBGM
PieCtrlRegs.PIEIER1.bit.INTx1 = 1;
EALLOW;
CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 1;
    EPwm6Regs.ETSEL.bit.SOCAEN = 1; //enable SOCA
    EPwm6Regs.TBCTL.bit.CTRMODE = 2; //unfreeze, and enter up count mode
    for (r=0;r<N;++r) {
        S[r]=(int16)(0.7*tope*sin(2*M_PI*r/N));
    }
}

void configGPIO(void) {
    EALLOW;
    GpioCtrlRegs.GPCGMUX1.bit.GPIO69 = 1;
    GpioCtrlRegs.GPEGMUX1.bit.GPIO131 = 0;
    GpioCtrlRegs.GPEPUD.bit.GPIO131 = 0; // Enable pullup on GPIO6
    GpioCtrlRegs.GPEDIR.bit.GPIO131 = 1;
    EDIS;
}

void ConfigureADC(void) {
    EALLOW;
    // SOCA A
    AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1;
    AdcaRegs.ADCCTL1.bit.ADCPWDNZ = 1;

    // SOCA B
    DELAY_US(1000);
    EDIS;
}

```

```

// ConfigureEPWM - Configure EPWM SOC and compare values
void ConfigureEPWM(void) {
    EALLOW;
    EPwm6Regs.ETSEL.bit.SOCAEN = 0; // Disable SOC on A group
    EPwm6Regs.ETSEL.bit.SOCASEL = 4; // Select SOC on up-count
    EPwm6Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event
    EPwm6Regs.TBPRD = tope; // Set timer period
    EPwm6Regs.TBCTR = 0x0000; // Clear counter
    EPwm6Regs.TBCTL.bit.CTRMODE = 2; // Count up
    EPwm6Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
    EPwm6Regs.TBCTL.bit.HSPCLKDIV = hdiv; // Clock ratio to SYSCLKOUT
    EPwm6Regs.TBCTL.bit.CLKDIV = div; // Slow just to observe on
    EPwm6Regs.AQCTLA.bit.CAU = AQ_NO_ACTION; // Set PWM2A on Zero
    EPwm6Regs.AQCTLA.bit.CAD = AQ_NO_ACTION;
    EPwm6Regs.AQCTLB.bit.CBU = AQ_NO_ACTION; // Set PWM2A on Zero
    EPwm6Regs.AQCTLB.bit.CBD = AQ_NO_ACTION;
    EPwm6Regs.AQCTLB.bit.ZRO = AQ_SET;
    EPwm6Regs.AQCTLB.bit.PRD = AQ_CLEAR;
    EPwm6Regs.CMPA.bit.CMPA = 0; // Set compare A value to 2048 counts
    EPwm6Regs.TBCTL.bit.SYNCOSEL = 0;
    EPwm6Regs.TBCTL.bit.PHSEN = 1;
    EPwm6Regs.TBPHS.bit.TBPHS = 0;
    EPwm6Regs.TBCTL.bit.SWFSYNC = 1; // to make the pulses phase shifted
}

```

```

void SetupADCEpwm(Uint16 ch0) {
    Uint16 acqps;
    if(ADC_RESOLUTION_12BIT == AdcaRegs.ADCCTL2.bit.RESOLUTION) {
        acqps = 14; //75ns
    }
    else //resolution is 16-bit {
        acqps = 63; //320ns
    }

    //Select the channels to convert and end of conversion flag
    EALLOW;

```

```

AdcaRegs.ADCSOC0CTL.bit.CHSEL = ch0; // vload
AdcaRegs.ADCSOC0CTL.bit.ACQPS = acqps; //sample window is 100 SYSCLK
AdcaRegs.ADCSOC0CTL.bit.TRIGSEL = 15; //trigger on ePWM6 SOCA/C

//Close config ADC
AdcaRegs.ADCINTSEL1N2.bit.INT1SEL = 0; //end of SOC2 will set INT1 flag
AdcaRegs.ADCINTSEL1N2.bit.INT1E = 1; //enable INT1 flag
AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //make sure INT1 flag is cleared
EDIS;
}

```

```

interrupt void adca1_isr(void) {
    duty=(tope+S[k])>>1;
    k=++k;
    if (k==N)
        k=0;
    EPwm1Regs.CMPA.bit.CMPA = duty;
    EPwm1Regs.CMPB.bit.CMPB = tope-duty;
    EPwm2Regs.CMPA.bit.CMPA = tope-duty;
    EPwm2Regs.CMPB.bit.CMPB = duty;
    EPwm3Regs.CMPA.bit.CMPA = duty;
    EPwm3Regs.CMPB.bit.CMPB = tope-duty;
    EPwm4Regs.CMPA.bit.CMPA = tope-duty;
    EPwm4Regs.CMPB.bit.CMPB = duty;
    GpioDataRegs.GPECLEAR.bit.GPIO131 = 1;
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //clear INT1 flag
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
    AdcbRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
    AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

```

```

void InitEPwm1Example() {
    EPwm1Regs.TBPRD = tope;           // Set timer period
    EPwm1Regs.TBPHS.bit.TBPHS = 0;   // Phase is 0
    EPwm1Regs.TBCTR = 0;             // Clear counter
}

```

```

EPwm1Regs.TBCTL.bit.CTRMODE = 2; // Count up
EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
EPwm1Regs.TBCTL.bit.HSPCLKDIV = hdiv; // Clock ratio to SYSCLKOUT
EPwm1Regs.TBCTL.bit.CLKDIV = div; // Slow just to observe on
EPwm1Regs.CMPA.bit.CMPA = duty;
EPwm1Regs.CMPB.bit.CMPB = tope-duty;
EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM2A on Zero
EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm1Regs.AQCTLB.bit.CBU = AQ_CLEAR; // Set PWM2A on Zero
EPwm1Regs.AQCTLB.bit.CBD = AQ_SET;
EPwm1Regs.DBCTL.bit.OUT_MODE = 3;
EPwm1Regs.DBCTL.bit.POLSEL = 2;
EPwm1Regs.DBCTL.bit.IN_MODE = 0;
EPwm1Regs.DBRED = 11;
EPwm1Regs.DBFED = 11;
EPwm1Regs.TBCTL.bit.SYNCOSEL = 1;
EPwm1Regs.TBCTL.bit.SWFSYNC = 1; // to make the pulses phase shifted
}

```

```

void InitEPwm2Example() {
    EPwm2Regs.TBPRD = tope; // Set timer period
    EPwm2Regs.TBCTR = 0x0000; // Clear counter
    EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
    EPwm2Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
    EPwm2Regs.TBCTL.bit.HSPCLKDIV = hdiv; // Clock ratio to SYSCLKOUT
    EPwm2Regs.TBCTL.bit.CLKDIV = div; // Slow just to observe on
    EPwm2Regs.CMPA.bit.CMPA = tope - duty;
    EPwm2Regs.CMPB.bit.CMPB = duty;
    EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM2A on Zero
    EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
    EPwm2Regs.AQCTLB.bit.CBU = AQ_CLEAR; // Set PWM2A on Zero
    EPwm2Regs.AQCTLB.bit.CBD = AQ_SET;
    EPwm2Regs.DBCTL.bit.OUT_MODE = 3;
    EPwm2Regs.DBCTL.bit.POLSEL = 2;
    EPwm2Regs.DBCTL.bit.IN_MODE = 0;
    EPwm2Regs.DBRED = 11;
    EPwm2Regs.DBFED = 11;
}

```

```

EPwm2Regs.TBCTL.bit.SYNCOSEL = 0;
EPwm2Regs.TBCTL.bit.PHSEN = 1;
EPwm2Regs.TBPHS.bit.TBPHS = 0;
EPwm2Regs.TBCTL.bit.SWFSYNC = 1; // to make the pulses phase shifted
}

```

```

void InitEPwm3Example() {
    EPwm3Regs.TBPRD = tope;           // Set timer period
    EPwm3Regs.TBCTR = 0x0000;        // Clear counter
    EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
    EPwm3Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
    EPwm3Regs.TBCTL.bit.HSPCLKDIV = hdiv; // Clock ratio to SYSCLKOUT
    EPwm3Regs.TBCTL.bit.CLKDIV = div; // Slow just to observe on
    EPwm3Regs.CMPA.bit.CMPA = duty;
    EPwm3Regs.CMPB.bit.CMPB = tope - duty;
    EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM2A on Zero
    EPwm3Regs.AQCTLA.bit.CAD = AQ_SET;
    EPwm3Regs.AQCTLB.bit.CBU = AQ_CLEAR; // Set PWM2A on Zero
    EPwm3Regs.AQCTLB.bit.CBD = AQ_SET;
    EPwm3Regs.DBCTL.bit.OUT_MODE = 3;
    EPwm3Regs.DBCTL.bit.POLSEL = 2;
    EPwm3Regs.DBCTL.bit.IN_MODE = 0;
    EPwm3Regs.DBRED = 11;
    EPwm3Regs.DBFED = 11;
    EPwm3Regs.TBCTL.bit.SYNCOSEL = 0;
    EPwm3Regs.TBCTL.bit.PHSEN = 1;
    EPwm3Regs.TBPHS.bit.TBPHS = tope;
    EPwm3Regs.TBCTL.bit.SWFSYNC = 1; // to make the pulses phase shifted
}

```

```

void InitEPwm4Example() {
    EPwm4Regs.TBPRD = tope;           // Set timer period
    EPwm4Regs.TBCTR = 0x0000;        // Clear counter
    EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
    EPwm4Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
    EPwm4Regs.TBCTL.bit.HSPCLKDIV = hdiv; // Clock ratio to SYSCLKOUT
    EPwm4Regs.TBCTL.bit.CLKDIV = div; // Slow just to observe on
}

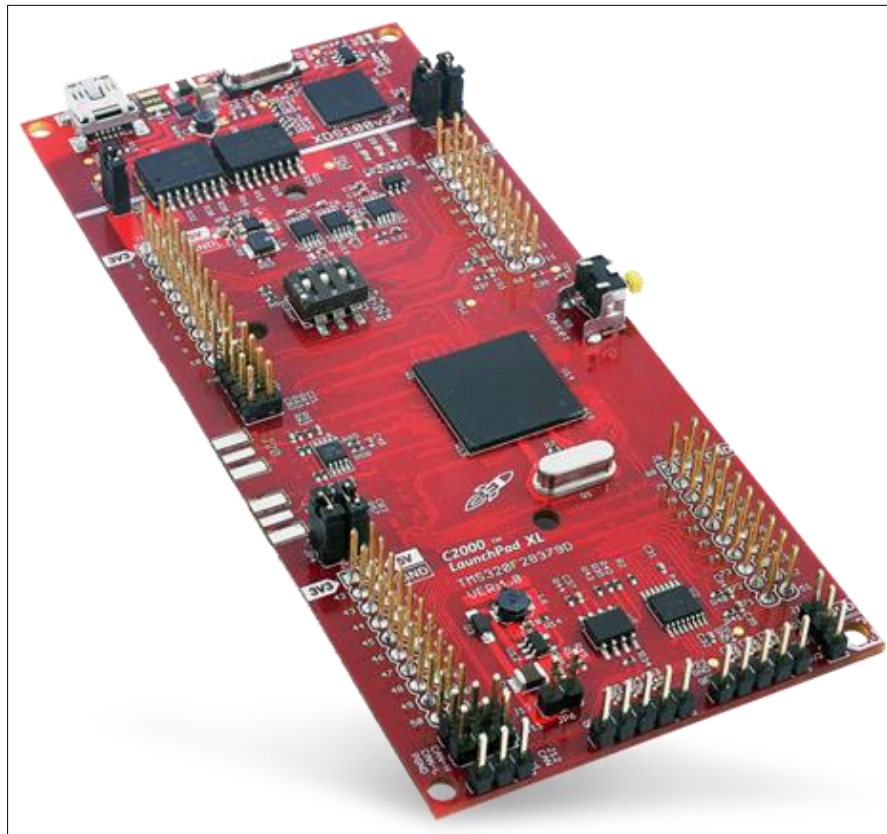
```

```

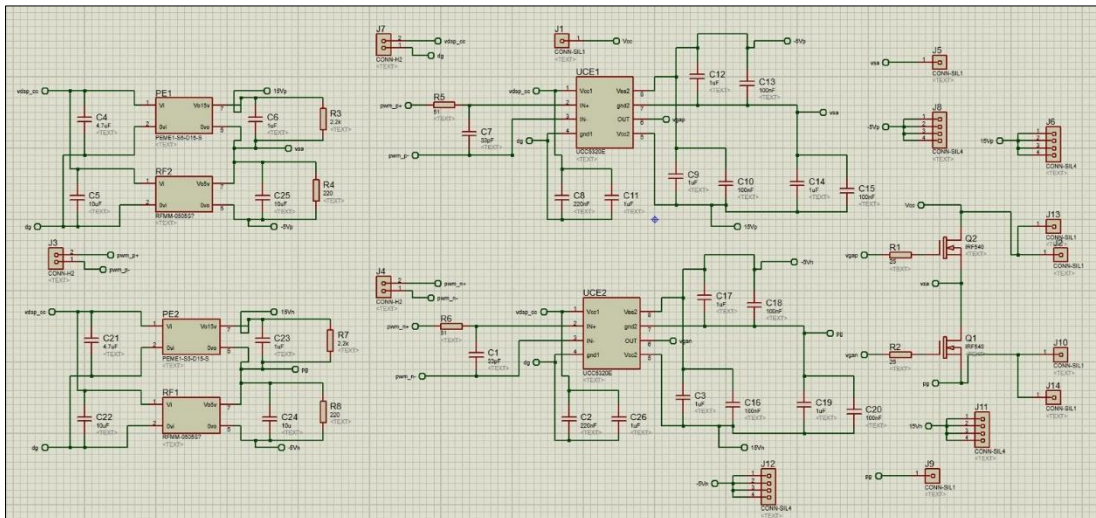
EPwm4Regs.CMPA.bit.CMPA = tope - duty;
EPwm4Regs.CMPB.bit.CMPB = duty;
EPwm4Regs.AQCTLA.bit.CAU = AQ_CLEAR;           // Set PWM2A on Zero
EPwm4Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm4Regs.AQCTLB.bit.CBU = AQ_CLEAR;           // Set PWM2A on Zero
EPwm4Regs.AQCTLB.bit.CBD = AQ_SET;
EPwm4Regs.DBCTL.bit.OUT_MODE = 3;
EPwm4Regs.DBCTL.bit.POLSEL = 2;
EPwm4Regs.DBCTL.bit.IN_MODE = 0;
EPwm4Regs.DBRED = 11;
EPwm4Regs.DBFED = 11;
EPwm4Regs.TBCTL.bit.SYNCOSEL = 0;
EPwm4Regs.TBCTL.bit.PHSEN = 1;
EPwm4Regs.TBPHS.bit.TBPHS = tope;
EPwm4Regs.TBCTL.bit.SWFSYNC = 1; // to make the pulses phase shifted
}
// End of file

```

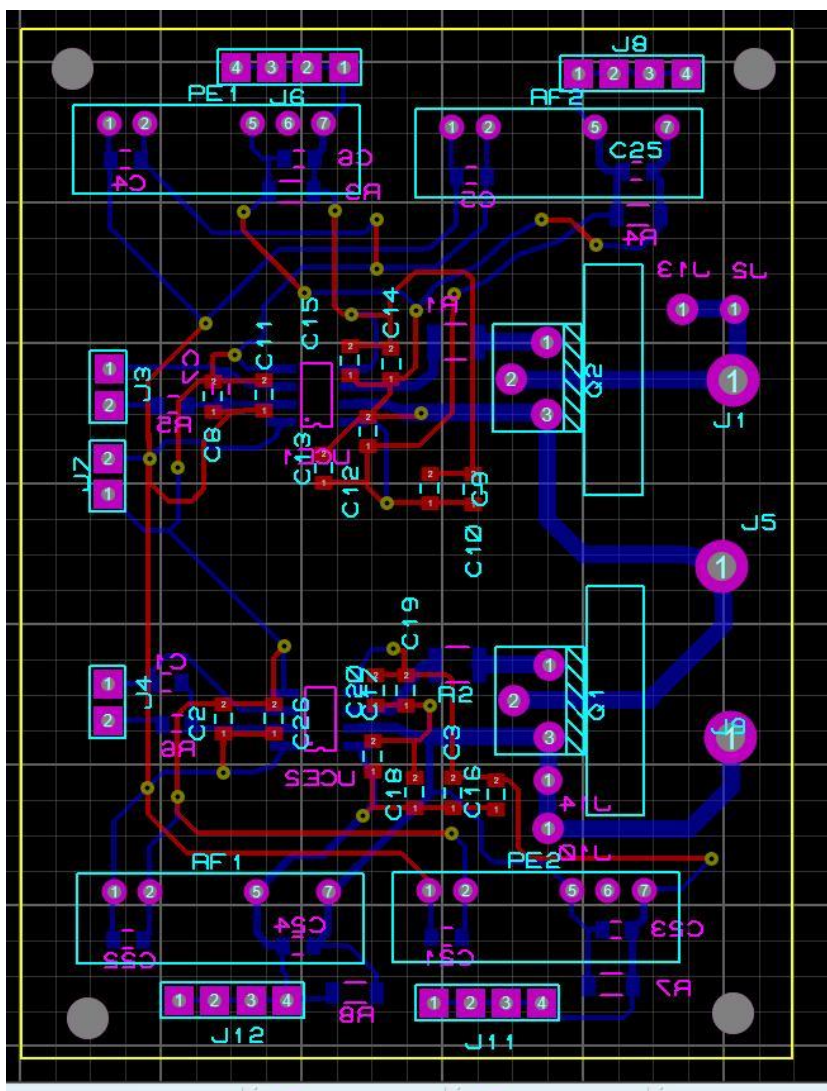
B. Placa DSP F28379D C2000



C. Diseño del Esquemático del Inversor en Proteus



D. Diseño del PCB del Inversor en Ares.



E. Inversor multinivel en Casada

